

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-148679
 (43)Date of publication of application : 07.06.1996

(51)Int.CI.

H01L 29/78
 H01L 21/336
 H01L 21/8238
 H01L 27/092
 H01L 21/8244
 H01L 27/11
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 06-286906

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.11.1994

(72)Inventor :

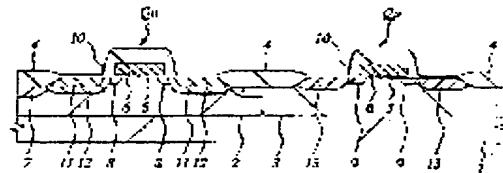
KURODA KENICHI
 IKEDA SHUJI
 MIYAZAWA HIDEYUKI
 TANIGUCHI YASUHIRO
 OKUYAMA KOSUKE

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To materialize the improvement of driving capacity and the speed up by reducing the parasitic resistance and the parasitic capacity of a micronized MISFET.

CONSTITUTION: An n-channel type MISFETQn composed of a gate electrode 6 made on the main face of a p-type well 2 through a gate insulating film 5, a heavily doped n+-type semiconductor region 11 made in the p-type well 2, an n-type semiconductor region 12 made to surround this n+-type semiconductor region 11, and a lightly doped n-type semiconductor region 8 made between this n-type semiconductor region 12 and the channel region below the gate electrode 6. Accordingly, the concentration of impurities in the n-type semiconductor region 12 is set to roughly the middle between the heavily doped n+-type semiconductor region 11 and the lightly doped n-type semiconductor region 8.



LEGAL STATUS

[Date of request for examination] 08.11.2001

[Date of sending the examiner's decision of rejection] 17.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

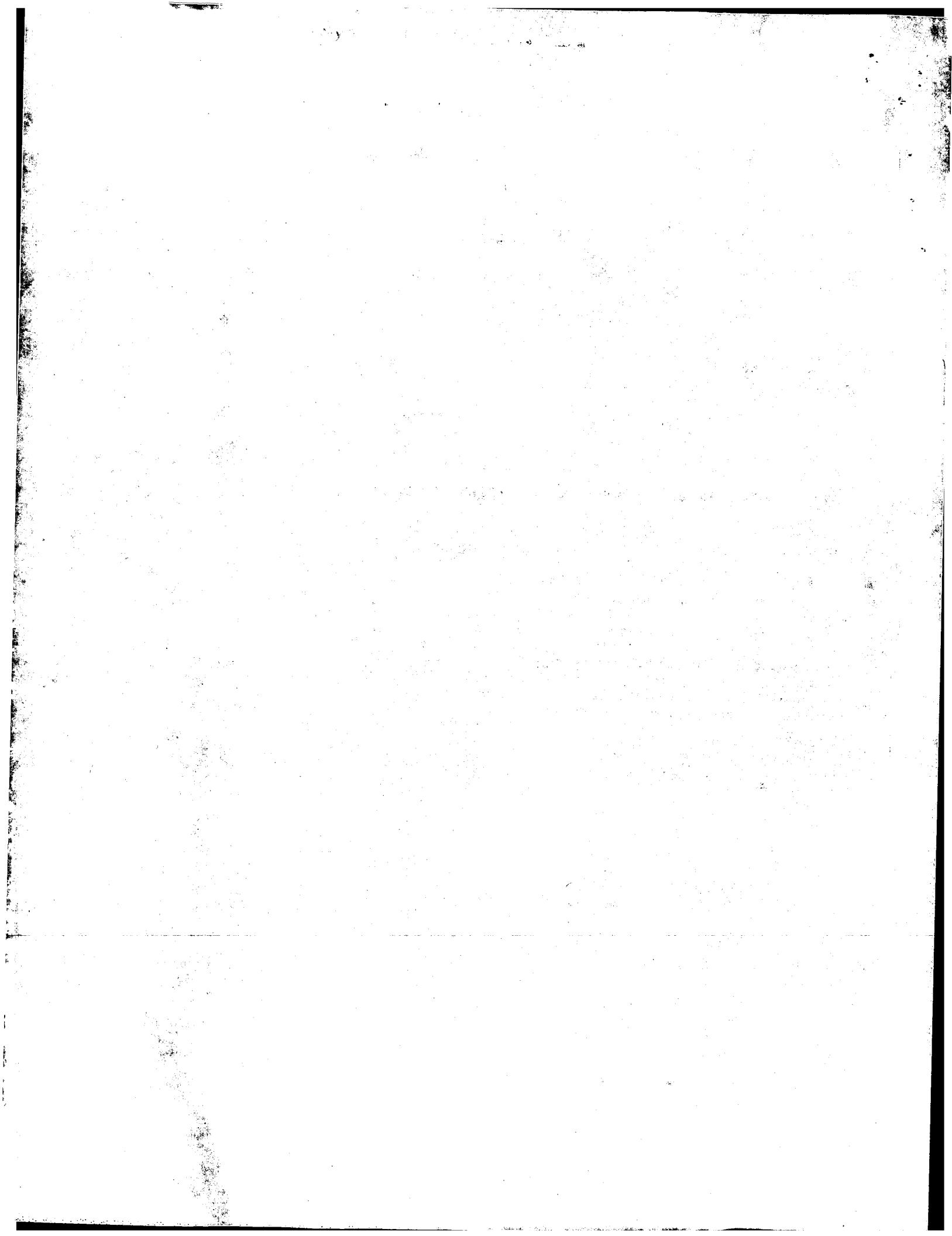
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148679

(43) 公開日 平成8年(1996)6月7日

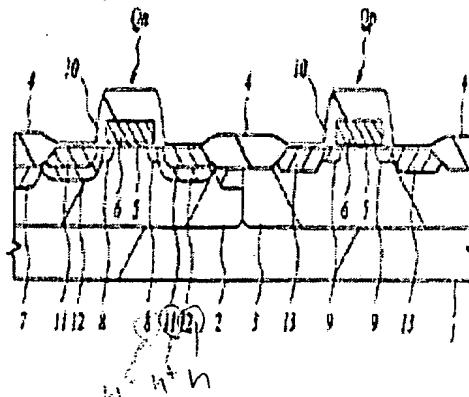
(51) Int.Cl. ⁶ H 01 L 29/78 21/336 21/8238	識別記号 H 01 L 29/78 27/08 審査請求 未請求 汎求項の数16 OL (全 26 頁) 最終頁に続く	序内整理番号 F 1	技術表示箇所 H 01 L 29/78 301 L 27/08 321 E
(21) 出願番号 特願平6-286906	(71) 出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地		
(22) 出願日 平成6年(1994)11月21日	(72) 発明者 黒田 錠一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内 (72) 発明者 池田 修二 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内 (72) 発明者 宮沢 英之 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センター内 (74) 代理人 弁理士 筒井 大和		

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 微細化されたMISFETの寄生抵抗、寄生容量を低減し、駆動能力の向上、高速化を実現する。

【構成】 nチャネル型MISFET Qnは、ゲート絶縁膜5を介してp-型ウエル2の主面上に形成されたゲート電極6と、p-型ウエル2に形成された高不純物濃度のn+型半導体領域11と、このn+型半導体領域11を取り囲むように形成されたn型半導体領域12と、このn型半導体領域12とゲート電極6の下部のチャネル領域との間に形成された低不純物濃度のn-型半導体領域8とで構成され、n型半導体領域12の不純物濃度は、高不純物濃度のn+型半導体領域11と低不純物濃度のn-型半導体領域8のほぼ中間程度に設定される。



【特許請求の範囲】

【請求項 1】 MISFET を有する半導体集積回路装置であつて、前記MISFETは、第1基電型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2基電型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2基電型の第3半導体領域とを備えていることを特徴とする半導体集積回路装置。

【請求項 2】 MISFET を有する半導体集積回路装置であつて、前記MISFETは、第1基電型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2基電型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2基電型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2基電型の第3半導体領域と、前記第3半導体領域の下部および前記第2半導体領域のチャネル領域側の側面部に設けられ、前記半導体基板よりも不純物濃度の高い第1基電型の第4半導体領域とを備えていることを特徴とする半導体集積回路装置。

【請求項 3】 MISFET を有する半導体集積回路装置であつて、前記MISFETは、第1基電型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2基電型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2基電型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2基電型の第3半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第3半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1基電型の第4半導体領域とを備えていることを特徴とする半導体集積回路装置。

【請求項 4】 MISFET を有する半導体集積回路装置であつて、前記MISFETは、第1基電型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2基電型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2基電型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2基電型の第3半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第3半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1基電型の第4半導体領域とを備えていることを特徴とする半導体集積回路装置。

の第5半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第5半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1基電型の第5半導体領域とを備えていることを特徴とする半導体集積回路装置。

【請求項 5】 MISFET を有する半導体集積回路装置であつて、前記MISFETは、第1基電型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2基電型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2基電型の第2半導体領域と、前記ゲート電極の側面に設けられたサイドウォール・スペーサの下部に位置すると共にその底部が前記第2半導体領域の底部よりも深い位置に設けられ、前記第2半導体領域よりも不純物濃度の低い第2基電型の第7半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第7半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1基電型の第5半導体領域とを備えていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1～5のいずれか1項に記載の半導体集積回路装置であつて、前記MISFETの前記ゲート電極、前記第1半導体領域のうち、少なくとも前記第1半導体領域の表面に低抵抗層を設けたことを特徴とする半導体集積回路装置。

【請求項 7】 nチャネル型MISFETとpチャネル型MISFETで集積回路を構成した半導体集積回路装置であつて、前記nチャネル型MISFET、前記pチャネル型MISFETの少なくとも一方を請求項 1～6のいずれか1項に記載のMISFETで構成したことを持徴とする半導体集積回路装置。

【請求項 8】 nチャネル型MISFETとpチャネル型MISFETで集積回路を構成した半導体集積回路装置であつて、前記nチャネル型MISFETを請求項 1～5のいずれか1項に記載のMISFETで構成したことを持徴とする半導体集積回路装置。

【請求項 9】 請求項 1～8のいずれか1項に記載の半導体集積回路装置であつて、前記半導体基板を、前記MISFETのソース領域、ドレイン領域の底部に接するように絶縁層を設けたSOI基板で構成したことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 1～9のいずれか1項に記載の半導体集積回路装置であつて、前記半導体基板を、低不純物濃度の半導体基板と、その上部に設けられた高不純物濃度の半導体領域と、さらにその上部に設けられた低不純物濃度の、あるいは不純物を含まないエビタキシャル半導体層とで構成し、前記エビタキシャル半導体層の上面に前記MISFETを形成したことを特徴とする半導体集積回路装置。

【請求項 11】 備報の書込み、あるいは消去を電気的に行う不揮発性メモリを備えた半導体集積回路装置であって、前記不揮発性メモリを構成するMISFETおよび周辺回路を構成するMISFETのそれぞれのソース領域、ドレイン領域を、請求項1～5のいずれか1項に記載のMISFETのソース領域、ドレイン領域と同一構造で構成し、前記不揮発性メモリを構成するMISFETの前記第3半導体領域の不純物濃度を、前記周辺回路を構成するMISFETの前記第3半導体領域の不純物濃度よりも高くしたことを特徴とする半導体集積回路装置。

【請求項 12】 半導体基板の主面上に設けられた一対の負荷用MISFET、一対の駆動用MISFETおよび一対の転送用MISFETでメモリセルを構成したSRAMを有する半導体集積回路装置であって、前記負荷用MISFETおよび前記駆動用MISFETを請求項3記載のMISFETと同一構造で構成したことを特徴とする半導体集積回路装置。

【請求項 13】 請求項12記載の半導体集積回路装置であって、前記転送用MISFETには、前記第5半導体領域を設けないことを特徴とする半導体集積回路装置。

【請求項 14】 所定の導電型の半導体基板に第1導電型のウエルを設け、前記ウエルの主面上に請求項1～5のいずれか1項に記載のMISFETを形成する工程を備えた半導体集積回路装置の製造方法であって、前記半導体基板の主面上に熱酸化法で素子分離用の厚いフィールド絶縁膜を形成した後、前記半導体基板の主面上に不純物を導入し、次いで、前記半導体基板を熱処理して前記不純物を引き延ばし拡散させることにより、前記ウエルを形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 15】 請求項1記載のMISFETを有する半導体集積回路装置の製造方法であって、(1)第1導電型の半導体基板の主面上にゲート絶縁膜を介してゲート電極を形成する工程と、(2)前記ゲート電極の両側の前記半導体基板の主面上に、前記ゲート電極をマスクにして不純物を導入することにより、第2導電型の第3半導体領域を形成する工程と、(3)前記ゲート電極の両側の前記半導体基板の主面上に、前記ゲート電極およびその側面に形成したサイドウォール・スペーサをマスクにして不純物を導入することにより、第2導電型の第1半導体領域を形成する工程と、(4)前記ゲート電極の両側の前記半導体基板の主面上に、前記ゲート電極および前記サイドウォール・スペーサをマスクにして不純物を導入することにより、第2導電型の第2半導体領域を形成する工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 請求項8記載の半導体集積回路装置の製造方法であって、(1)半導体基板の主面上のnチャ

ネル型MISFET形成領域とpチャネル型MISFET形成領域にゲート絶縁膜を介してゲート電極を形成する工程と、(2)前記nチャネル型MISFET形成領域の正面に、前記ゲート電極をマスクにしてリンまたはヒ素あるいはリンヒ素を注入してn型半導体領域を形成する工程と、(3)前記pチャネル型MISFET形成領域の正面に、前記ゲート電極をマスクにしてホウ素またはフッ化ホウ素を注入してp型半導体領域を形成する工程と、(4)前記nチャネル型MISFET形成領域の正面に前記ゲート電極およびその側面に形成したサイドウォール・スペーサをマスクにしてヒ素を注入してn型半導体領域を形成する工程と、(5)前記nチャネル型MISFET形成領域の正面に、前記ゲート電極およびその側面に形成したサイドウォール・スペーサをマスクにしてリンを注入してn型半導体領域を形成する工程と、(6)前記pチャネル型MISFET形成領域の正面に、前記ゲート電極およびその側面に形成したサイドウォール・スペーサをマスクにしてホウ素またはフッ化ホウ素を注入してp型半導体領域を形成する工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、微細化されたMISFET(Metal-Insulator-Semiconductor-Field-Effect-Transistor)の駆動能力の向上に適用して有効な技術に関するものである。

【0002】

【従来の技術】 メモリやマイクロプロセッサを始めとするLSIの高集成化、高性能化を実現するためには、LSIを構成する素子の微細化技術、高性能化技術が不可欠である。現在、LSIを構成する素子としては主にMISFETが使用されていることから、MISFETをいかに微細化し、そして高性能化するかが重要な課題となる。

【0003】 MISFETを微細化する上で考慮すべき点には、次のような項目がある。

【0004】 (1) ドレイン領域とチャネル領域の近傍の高電界領域で発生するチャネルホットエレクトロンによるMISFETの特性劣化。これは主に、高電界領域で発生したチャネルホットエレクトロンがゲート絶縁膜にトラップされる結果、チャネル電流の減少やしきい値電圧の上昇が起こることによる。

【0005】 (2) 微細化によってチャネル長が短くなると、ソース領域とドレイン領域の空乏層同士が接触してしまうためにゲート電圧の制御が不可能となってしまう。これをパンチスルーと称している。

【0006】 (3) 微細化につれてソース領域、ドレン領域の下部の半導体基板の不純物濃度も増加するの

で、ソース領域、ドレイン領域と半導体基板との間に形成されるpn接合の寄生容量が増加する。この寄生容量は、LSIの高運動性を妨げる一因になる。

【0007】上記した課題を解決しようとする従来技術として、特開昭61-241967号公報に記載されたMISFET構造がある。

【0008】この公報に記載された第1のMISFET構造は、次のようなものである。

【0009】p型半導体基板の表面には、ゲート絶縁膜を介してゲート電極が設けられており、ゲート電極の側面にはサイドウォール・スペーサ（側壁絶縁膜）が設けられている。このサイドウォール・スペーサの下部のp型半導体基板の表面には、チャネル領域に接する低不純物濃度のn-型半導体領域が設けられており、さらにその外側には、高不純物濃度のn+型半導体領域が設けられている。そして、この高不純物濃度のn+型半導体領域の下部のp型半導体基板には、低不純物濃度のn型半導体領域が設けられている。つまり、このMISFETは、低不純物濃度のn-型半導体領域と高不純物濃度のn+型半導体領域とでソース領域、ドレイン領域を構成した、いわゆるLDD(Lightly doped drain)構造で構成され、さらにこのソース領域、ドレイン領域の下部のp型半導体基板に低不純物濃度のn型半導体領域が設けである。

【0010】周知のように、LDD構造によれば、チャネルホットエレクトロンによるMISFETの特性劣化を防止し、さらにはチャネル長を短くした短チャネルMISFETを得ることができる。そして、高不純物濃度のn+型半導体領域（ソース領域、ドレイン領域）の下部のp型半導体基板に低不純物濃度のn型半導体領域を設けたことにより、このn型半導体領域とp型半導体基板との間に形成されるpn接合の寄生容量は、高不純物濃度のn+型半導体領域とp型半導体基板との間に形成されるpn接合の寄生容量よりも小さくなる。つまり、このMISFETは、ソース領域、ドレイン領域と基板との間に形成されるpn接合の寄生容量を低減することによって、高速化を図っている。

【0011】前記公報に記載された第2のMISFET構造は、上記第1構造のMISFETのソース領域、ドレイン領域の一部を構成する低不純物濃度のn-型半導体領域の下部のp型半導体基板に、この半導体基板よりも不純物濃度の高いp+型半導体領域を設けたものである。このp+型半導体領域は、その上部のn-型半導体領域との間に形成されるpn接合の空乏層の伸びを抑える作用をするので、パンチスルーパーを防止することができ、その結果、前記第1構造のMISFETよりもさらにチャネル長を短くした短チャネルMISFETを得ることができる。

【0012】特開平6-196711号公報は、MISFETのゲート電極をフローティングゲートとコントロ

ールゲートの二層構造で構成した、電気的に書き込みと消去が可能な不揮発性メモリに関するものである。前記公報（特開昭61-241967号）とは目的が異なるが、この公報には、二種のMISFET構造が開示されている。

【0013】第1のMISFET構造は、ソース領域またはドレイン領域の一部を構成する低不純物濃度のn-型半導体領域がフローティングゲート下部のチャネル領域の一方のみに接するように設けられ、その外側にはチャネル領域に接しないように、ヒ素およびリンを不純物とする高不純物濃度のn+型半導体領域が形成されている。そして、チャネル領域の他方には、チャネル領域に接するように、高不純物濃度のn+型半導体領域が形成されている。つまり、このMISFETは、ソース領域、ドレイン領域の一方のみがLDD構造で構成されている。

【0014】第2のMISFET構造は、低不純物濃度のn-型半導体領域がフローティングゲート下部のチャネル領域の一方に接しないように形成され、さらにその外側に高不純物濃度のn+型半導体領域とそれを囲む低不純物濃度のn型半導体領域が形成されている。また、チャネル領域の他方には、チャネル領域に接するように高不純物濃度のn+型半導体領域とそれを囲む低不純物濃度の第2のn型半導体領域が形成されている。つまり、このMISFETは、ソース領域、ドレイン領域の一方がチャネル領域に接しないような二重ドレイン構造、他方がチャネル領域に接するような二重ドレイン構造で構成され、かつソース領域、ドレイン領域のいずれか一方（二重ドレインがチャネル領域から離隔して形成されている方）がLDD構造で構成されている。

【0015】上記した第1または第2のMISFET構造とすることにより、ソース領域、ドレイン領域のいずれか一方を共有する（互いに隣接した）2つの不揮発性メモリのうち、一方の不揮発性メモリ（高不純物濃度のn+型半導体領域がフローティングゲートに接している不揮発性メモリ）のみのフローティングゲートからエクタロンを高不純物濃度のn+型半導体領域に放出して書き込みを行なうことが可能となる。

【0016】

【発明が解決しようとする課題】前記特開昭61-241967号公報記載のMISFET構造は、ソース領域、ドレイン領域と基板との間に形成されるpn接合の寄生容量の低減を図るものであるが、LDD構造における低不純物濃度のn-型半導体領域の寄生抵抗によるチャネル電流の減少については対策がなされていないかった。

【0017】すなわち、図46（上記従来技術の第1のMISFET構造）および図47（上記従来技術の第2のMISFET構造）に示すように、実際のMISFETにおいては、ソース領域またはドレイン領域の電取

出し部とチャネル領域との間に、高不純物濃度のn+型半導体領域の寄生抵抗Rs1またはRd1と、低不純物濃度のn-型半導体領域の寄生抵抗Rs2またはRd2との直列抵抗が形成される。

【0018】MISFETのゲート電極、ドレイン領域、ソース領域に加わる実効電圧を各々Vg_{eff}(ゲート電圧)、Vd_{eff}(ドレイン電圧)、Vs_{eff}(ソース電圧)とすれば、

$$Vg_{eff} = Vg - (Rs1 + Rs2) \times I_{ds}$$

$$Vd_{eff} = Vd - (Rd1 + Rd2) \times I_{ds}$$

$$Vs_{eff} = (Rs1 + Rs2) \times I_{ds}$$

となる(ただし、I_{ds}はチャネル電流、V_sは0V)。

【0019】従って、前述した寄生抵抗が大きいと、各々の実効電圧が減少してしまうのでチャネル電流も減少する。さらに、実効ソース電圧(V_{eff})がn型半導体基板よりも高くなるので、基板効果によってしきい値電圧(V_{th})も上昇し、チャネル電流がさらに減少してしまう。

【0020】具体的な数値により、さらに詳しく説明する。

【0021】一般に、LDD構造における高不純物濃度のn+型半導体領域のシート抵抗は、数十Ω/□(典型的には50~100Ω/□)と低いに対し、低不純物濃度のn-型半導体領域のシート抵抗は数KΩ/□(典型的には3~5KΩ/□)と1桁以上高い。そのため、LDD構造の場合、低不純物濃度のn-型半導体領域がない、いわゆるシングルドレイン構造の場合に比べて寄生抵抗が増加してしまう。

【0022】例えばMISFETのチャネル幅を1.5μm、ゲート電極の端部からソース領域、ドレイン領域の電極取出し部までの距離をそれぞれ0.5μm程度、低不純物濃度のn-型半導体領域の一端から他端までの長さを0.2μm程度とすると、典型的なシングルドレイン構造の場合のソース領域、ドレイン領域の寄生抵抗は5Ωであるのにに対し、LDD構造の場合のソース領域、ドレイン領域の寄生抵抗は8Ωと大きくなる。そのため、例えば動作電圧が5Vのときのチャネル電流を6mAとすると、上記寄生抵抗による電圧降下は、シングルドレイン構造の場合には0.03Vと動作電圧の0.6%であるのに対し、LDD構造の場合には0.5Vと動作電圧の10%にも達してしまう。

【0023】従って、上記従来技術のMISFET構造は、チャネル長を短くした短チャネルMISFETによって性能が向上するにもかかわらず、ソース領域、ドレイン領域の寄生抵抗のために期待した特性が得られないという問題が生じる。

【0024】他方、前記特開平5-196711号公報記載のMISFET構造は、ソース領域、ドレイン領域の一方のn+型半導体領域のみがチャネル領域に接し、他方は接していないので、ホットエレクトロンによる特

性変動が生じやすいという問題がある。

【0025】また、ゲート絶縁膜の膜厚が薄い場合には、動作中にゲート絶縁膜をエレクトロンが移動(リード電流)、ゲート絶縁膜の膜質の劣化を招く危険性もある。なお、この従来技術は、通常の読み出し動作時に加わる電圧差を小さくすることによって、この危険性を低減している。

【0026】さらに、論理回路を構成するMISFETのように、ソース領域、ドレイン領域の一方がある状態ではソース領域として使用され、他の状態ではドレイン領域として使用されるようなMISFETには、この従来技術の構造を適用することができない。

【0027】本発明の目的は、微細化されたMISFETの寄生抵抗を減少させて、チャネル電流を増加させる技術を提供することにある。

【0028】本発明の他の目的は、微細化されたMISFETの寄生容量を減少させて、高速動作を可能にする技術を提供することにある。

【0029】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0030】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0031】(1) 本発明の半導体集積回路装置は、第1塗型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2塗型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2塗型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2塗型の第3半導体領域とを備えたMISFETを有している。

【0032】(2) 本発明の半導体集積回路装置は、第1塗型の半導体基板の主面上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の主面上に設けられた第2塗型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2塗型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2塗型の第3半導体領域と、前記第3半導体領域の下部および前記第2半導体領域のチャネル領域側の側面部に設けられ、前記半導体基板よりも不純物濃度の高い第1塗型の第4半導体領域とを備えたMISFETを有している。

【0033】(3) 本発明の半導体集積回路装置は、第1塗型の半導体基板の主面上にゲート絶縁膜を介して

設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の正面に設けられた第2半導体型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2半導体型の第2半導体領域と、前記第2半導体領域と前記ゲート電極の下部のチャネル領域との間に設けられ、前記第2半導体領域よりも不純物濃度の低い第2半導体型の第3半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第3半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1半導体型の第5半導体領域とを備えたMISFETを有している。

【0034】(4) 本発明の半導体集積回路装置は、第1半導体型の半導体基板の正面にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記半導体基板の正面に設けられた第2半導体型の第1半導体領域と、前記第1半導体領域を取り囲むように設けられ、前記第1半導体領域よりも不純物濃度の低い第2半導体型の第2半導体領域と、前記第2半導体領域を取り囲むように設けられ、前記第2半導体領域よりも不純物濃度の低い第2半導体型の第5半導体領域と、前記チャネル領域、前記第1半導体領域、前記第2半導体領域および前記第5半導体領域の全体を取り囲むように設けられ、前記半導体基板よりも不純物濃度の高い第1半導体型の第5半導体領域とを備えたMISFETを有している。

【0035】(5) 本発明の半導体集積回路装置は、前記MISFETのゲート電極、第1半導体領域のうち、少なくとも前記第1半導体領域の表面に低抵抗層を設けたものである。

【0036】(6) 本発明の半導体集積回路装置は、前記半導体基板を、MISFETのソース領域、ドレイン領域の底部に接するように絶縁層を設けたSOI基板で構成したものである。

【0037】(7) 本発明の半導体集積回路装置の製造方法は、前記MISFETを形成する際、第1半導体型の半導体基板の正面にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板の正面に、前記ゲート電極をマスクにして不純物を導入することにより、第2半導体型の第3半導体領域を形成する工程と、前記ゲート電極の両側の前記半導体基板の正面に、前記ゲート電極およびその側面に形成したサイドウォール・スペーサをマスクにして不純物を導入することにより、第2半導体型の第1半導体領域を形成する工程と、前記ゲート電極の両側の前記半導体基板の正面に、前記ゲート電極および前記サイドウォール・スペーサをマスクにして不純物を導入することにより、第2半導体型の第2半導体領域を形成する工程とを含むものである。

【0038】

【作用】上記した手段(1)によれば、MISFETの

ソース領域、ドレイン領域を構成する高不純物濃度の第1半導体領域と低不純物濃度の第3半導体領域との間に、それらのほぼ中間程度の不純物濃度を有する第2半導体領域を設けたことにより、第3半導体領域のチャネル領域方向の距離が実効的に短くなる結果、第3半導体領域の寄生抵抗が小さくなる。

【0039】また、第2半導体領域がない場合には存在した第3半導体領域の残りの領域は、第3半導体領域よりも不純物濃度の高い第2半導体領域で構成されるので、第2半導体領域の寄生抵抗がさらに小さくなる結果、電圧降下が減少し、チャネル電流が増加する。

【0040】上記した手段(2)によれば、前記手段(1)と同様の作用が得られることに加え、第4半導体領域を設けたことにより、第3半導体領域および第2半導体領域のそれぞれの空乏層の延びを抑えることができるので、MISFETのチャネル長をさらに短くすることができる。

【0041】上記した手段(3)によれば、前記手段(1)と同様の作用が得られることに加え、第5半導体領域を設けたことにより、第3半導体領域および第2半導体領域のそれぞれの空乏層の延びを抑えることができるので、MISFETのチャネル長をさらに短くすることができる。

【0042】上記した手段(4)によれば、前記手段(1)と同様の作用が得られることに加え、第2半導体領域と第5半導体領域との間に低不純物濃度の第6半導体領域を設けたことにより、Pn接合で構成される寄生電力を減少させることができる。

【0043】上記した手段(5)によれば、前記手段(1)と同様の作用が得られることに加え、低抵抗層を設けたことにより、ソース領域、ドレイン領域の寄生抵抗が減少するので、チャネル電流をさらに増加させることができ。

【0044】上記した手段(6)によれば、半導体基板をSOI構造で構成したことにより、MISFETのソース領域、ドレイン領域の空乏層の広がりを抑制することができるので、さらに寄生容量を低減することができる。

【0045】上記した手段(7)によれば、第1半導体領域およびそれを取り囲む第2半導体領域をゲート電極に対して自己整合的に形成することができるので、寄生抵抗と寄生容量とを安定に減少させることができる。また、同一のマスクを使って第1半導体領域と第2半導体領域を形成するので製造工程の増加を少なくすることができます。

【0046】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0047】(実施例1) 図1は、本発明の実施例1である半導体集積回路装置の要部を示す断面図である。【0048】この半導体集積回路装置は、nチャネル型MISFET Qnとpチャネル型MISFET Qp、つまり組合型MISFET(CMOSFET)で半導体メモリあるいはマイクロプロセッサなどの集積回路を構成している。

【0049】nチャネル型MISFET Qnは、p-型の半導体基板1に形成されたp-型ウエル2の正面のフィールド絶縁膜4で囲まれたアクティブライン領域に形成され、pチャネル型MISFET Qpは、n-型ウエル3の正面のフィールド絶縁膜4で囲まれたアクティブライン領域に形成されている。p-型ウエル2のフィールド絶縁膜4の下部には、p型のチャネルストップ層7が形成されている。

【0050】nチャネル型MISFET Qnは、ゲート絶縁膜5を介してp-型ウエル2の正面に形成されたゲート電極6と、p-型ウエル2に形成されたヒ素からなる高不純物濃度のn+型半導体領域(第1半導体領域)11と、このn+型半導体領域11を取り囲むように形成されたリンまたはヒ素あるいはその両方からなるn型半導体領域(第2半導体領域)12と、ゲート電極6の側面に形成されたサイドウォール・スペーサー10の下部に位置し、上記n型半導体領域12とゲート電極6の下部のチャネル領域との間に形成されたリンまたはヒ素あるいはその両方からなる低不純物濃度のn-型半導体領域(第3半導体領域)8とで構成されている。ここで、n型半導体領域12の不純物濃度は、その上部に形成された高不純物濃度のn+型半導体領域11とサイドウォール・スペーサー10の下部に位置する低不純物濃度のn-型半導体領域8のほぼ中間程度に設定される。

【0051】一方、pチャネル型MISFET Qpは、ゲート絶縁膜5を介してn-型ウエル3の正面に形成されたゲート電極6と、n-型ウエル3に形成されたホウ素からなる高不純物濃度のp+型半導体領域13と、ゲート電極6の側面に形成されたサイドウォール・スペーサー10の下部に位置し、上記p+型半導体領域13とゲート電極6の下部のチャネル領域との間に形成されたホウ素からなる低不純物濃度のp-型半導体領域9とで構成されている。

【0052】このように、本実施例のnチャネル型MISFET Qnおよびpチャネル型MISFET Qpは、いずれもLDD構造で構成されており、さらにnチャネル型MISFET Qnは、高不純物濃度のn+型半導体領域11を取り囲んだ二重ドレイン(Double Drain)構造で構成されている。【0053】さらに、本実施例ではサイドウォール・スペーサー10はゲート電極6の側面およびゲート電極6端部の半導体基板1表面に順次設けられた比較的薄い酸化シリコン膜(図示せず)、比較的薄い塗化シリコン膜(図示せず)

(図示せず)と比較的厚い酸化シリコン膜(図示せず)の3層で構成される。

【0054】そして、サイドウォール・スペーサー10、ゲート電極6、フィールド絶縁膜4、n+型半導体領域11とp+型半導体領域13の表面には比較的薄い塗化シリコン膜(図示せず)で覆われた構成となっている。以下の実施例において、特にことわらない限り同じ構造となっている。

【0055】本実施例で示すように、nチャネル型MISFETとpチャネル型MISFETで構成が異なるのは、n型半導体領域を構成する不純物にはリンとヒ素があるのに対して、p型半導体領域を構成する不純物にはホウ素しかないとある。すなわち、nチャネル型MISFETの場合には、リンとヒ素を同一マスクを使用して、同時に注入し、同時に熱抵抗して異なる深さの抵抗層(本実施例の二重ドレイン構造)を形成できるので製造工程を実質的に増やす必要がない。これに対して、pチャネル型MISFETの場合には、後述する実施例4に示すように、製造工程が複雑になってしまうからである。

【0056】上記のように構成されたnチャネル型MISFET Qnは、高不純物濃度のn+型半導体領域11と低不純物濃度のn-型半導体領域8との間に、それらのほぼ中間程度の不純物濃度を有するn型半導体領域12を設けたことにより、n-型半導体領域8のチャネル領域方向の距離が実効的に短くなる。この結果、図2に示すように、n-型半導体領域8の寄生抵抗Rs2(ソース領域)またはR'd2(ドレイン領域)は、n型半導体領域12を設けない場合に比べて小さくなる。

【0057】また、n型半導体領域12がない場合には存在したn-型半導体領域8の残りの領域は、n-型半導体領域8よりも不純物濃度の高いn型半導体領域12で構成されているので、n型半導体領域12の寄生抵抗Rs3(ソース領域)またはRd3(ドレイン領域)はさらに小さくなる。この結果、
 $Rs3 + R'd2 < Rs2$ (n型半導体領域12がない場合のn-型半導体領域8(ソース領域)の寄生抵抗)
 $Rd3 + R'd2 < Rd2$ (n型半導体領域12がない場合のn-型半導体領域8(ドレイン領域)の寄生抵抗)

となり、電圧降下が減少するので、チャネル電流を増加することができる。

【0058】上記nチャネル型MISFET Qnの半導体領域(n+型半導体領域11、n型半導体領域12、n-型半導体領域8)の不純物濃度分布を図3に示す。

【0059】n+型半導体領域11の不純物濃度のピークは1.020~1.021atoms/cm³、pn接合の深さは0.15~0.2μm、n-型半導体領域8の不純物濃度のピークは1.018atoms/cm³、pn接合の深さは0.1~0.15μmである。そして、n+型半導体領域11を取り囲むように設けられたn型半導体領域12の不純物濃度のピ

ークは 1.0×10^{19} atoms/cm³ であって、そのピークの位置は、n+ 型半導体領域 1, 1 の p-n 接合の近傍に位置している。

【0060】このことから、本実施例の n チャネル型 MISFET Qn は、短チャネル特性を劣化させることなく、n- 型半導体領域 8 の寄生抵抗を低減することができると共に、寄生容量も低減することができる。

【0061】本実施例では前述したようにゲート電極の側面およびゲート電極の端部、そしてその上部を覆う絶縁膜として使用される CVD 法によって形成された絶縁膜中の水分がゲート絶縁膜 5 に侵入するのを防止できる。この結果、ホットキャリアと水分との相互作用によって発生するゲート絶縁膜 5 の劣化を防止できる。さらに、ゲート電極 5 上部の絶縁膜 1, 4 を窒化シリコン膜あるいはそれを含む複層膜で構成してもよい。

【0062】これに対し、同図に示した従来技術（特開昭61-241967号公報、図46参照）の n チャネル型 MISFET は、n+ 型半導体領域の下部に設けた n 型半導体領域の不純物濃度のピークの位置が本実施例の n+ 型半導体領域 1, 1 の p-n 接合の位置よりもさらに深い $0.5 \sim 0.6 \mu\text{m}$ の深さに位置しており、不純物濃度のピークは、本実施例の n- 型半導体領域 8 とほぼ同じ 1.0×10^{18} atoms/cm³ となっている。従って、この従来技術の n チャネル型 MISFET は、ソース領域、ドレイン領域の寄生容量を低減することはできても、寄生抵抗を低減することは困難である。

【0063】本実施例の n チャネル型 MISFET Qn の上記した効果を確認するための実験データを図4、図5に示す。これは、ゲート電圧 (V_g) とドレイン電圧 (V_d) をそれぞれ 3.3 V 、ソース電圧と基板をそれぞれグランドレベル (0 V) とした場合の測定結果である。

【0064】図4は、ゲート寸法 (L) に対するしきい電圧 (V_{th}) の依存性を示している。ここでゲート寸法とは、ゲート電極を加工したときの寸法である。チャネル長は、ソース領域とドレイン領域の間の距離であって、ゲート寸法よりも短く、ソース領域、ドレイン領域の不純物濃度と熱処理による不純物の拡散量とで決まる。この実験に用いた n チャネル型 MISFET Qn の形成条件は、次のとおりである。

【0065】ゲート絶縁膜 5 の膜厚は 9 nm 、n- 型半導体領域 8 の不純物はリンであり、そのドーズ量は 2×10^{13} atoms/cm²、n+ 型半導体領域 1, 1 の不純物はヒ素であり、そのドーズ量は 3×10^{15} atoms/cm²、n 型半導体領域 1, 2 の不純物はリンであり、そのドーズ量は 5×10^{14} atoms/cm² である。図示のように、n 型半導体領域 1, 2 を設けた場合のしきい電圧特性（図中、白抜きの口で示す）は、n 型半導体領域 1, 2 を設けない場合の特性（図中、黒の菱形で示す）と実質的に同じである。

た。

【0066】図5は、このときのゲート寸法 (L) に対するチャネル電流 (I_{ds}) の依存性を示している。n 型半導体領域 1, 2 を設けた場合のチャネル電流（図中、白抜きの口で示す）は、n 型半導体領域 1, 2 を設けない場合のチャネル電流（図中、黒の菱形で示す）に比べて大幅に増加した。例えばゲート寸法が $0.5 \mu\text{m}$ の場合、n 型半導体領域 1, 2 がないときは $I_{ds} = 5.4 \text{ nA}$ であるが、n 型半導体領域 1, 2 を設けたときは $I_{ds} = 6.1 \text{ nA}$ となり、チャネル電流がほぼ 10% 増加するという結果が得られた。

【0067】また、このときのソース領域およびドレン領域の寄生抵抗は 8.0Ω から 5.0Ω に半減し、さらに寄生容量も、 7.5 pF から 4.7 pF ($V_s = 3.3 \text{ V}$, $5.0 \mu\text{m}$ 口) や 8.4 pF から 5.1 pF ($V_s = 0 \text{ V}$, $5.0 \mu\text{m}$ 口) と減少したことから、顕著な効果の得られることが判明した。

【0068】ゲート寸法を長くできる場合、すなわち微細化をそれほど必要としない場合には、n 型半導体領域 1, 2 の不純物濃度をさらに増加させることにより、チャネル電流を図5に示す場合よりもさらに増加させることができあることはいうまでもない。すなわち、必要なゲート寸法に応じて n 型半導体領域 1, 2 の不純物濃度を変えればよい。

【0069】次に、本実施例の n チャネル型 MISFET Qn および p チャネル型 MISFET Qp の製造方法を図6～図11を用いて説明する。

【0070】まず、表面が (100) 面で比抵抗が $1.0 \Omega \cdot \text{cm}$ 程度の p- 型の半導体基板 1 を用意し、フォトレジストをマスクにしてその正面に n 型不純物、p 型不純物を順次挿入した後、これらの不純物を $1000 \sim 1200 \text{ °C}$ で引き延ばし拡散して p- 型ウエル 2、n- 型ウエル 3 を形成する（図6参照）。n- 型ウエル 3 の不純物はリンであり、イオン注入技術により 1.0×10^{12} atoms/cm² ～ 1.0×10^{13} atoms/cm² 程度注入する。p- 型ウエル 2 の不純物はホウ素であり、イオン注入技術により 1.0×10^{12} atoms/cm² ～ 1.0×10^{13} atoms/cm² 程度注入する。n- 型ウエル 3、p- 型ウエル 2 のそれぞれの表面の不純物濃度は、 1.0×10^{16} atoms/cm³ ～ 1.0×10^{17} atoms/cm³ 程度に設定する。

【0071】次に、n- 型ウエル 3、p- 型ウエル 2 のそれぞれの表面に熱酸化法 (LOCOS 法) で素子分離用の厚いフィールド絶縁膜 4 を形成する。このとき、p- 型ウエル 2 の表面に形成されたフィールド絶縁膜 4 の下部に p 型のチャネルストッパー層 7 を形成する。続いで、フィールド絶縁膜 4 で囲まれた n- 型ウエル 3、p- 型ウエル 2 のそれぞれのアクティブ領域にしきい電圧制御用の不純物をイオン注入技術で注入した後、アクティブ領域の表面に清浄なゲート絶縁膜 5 を形成する（図7 参照）。

【0072】上記ゲート絶縁膜5は、湿式酸化法により800°C~900°Cの温度で形成する。ゲート絶縁膜5の膜厚は、回路の動作電圧(Vcc)が5Vの場合は10nm~20nm程度、3.3V以下の場合は5nm~10nm程度に設定する。ゲート絶縁膜5は、CVD法で堆積した第1の絶縁膜を堆積した後に、さらに湿式酸化法により800°C~900°Cの温度で熱処理した膜で構成してもよい。

【0073】次に、n+型ウエル3、p-型ウエル2のそれぞれの主面上にゲート電極6を形成する。ゲート電極6上には、ゲート電極6の保護膜となるキャップ絶縁膜14を形成する(図8参照)。ゲート電極6は、多結晶シリコン膜とシリサイド膜の接着膜およびその上に堆積したキャップ絶縁膜14をバターニングして形成する。多結晶シリコン膜はCVD法で堆積し、リンなどの不純物を導入して低抵抗化する。シリサイド膜は、CVD法またはバッパ法で堆積したタンクステンシリサイドなどの高融点金属シリサイド膜からなる。また、キャップ絶縁膜14は、CVD法で堆積した酸化シリコン膜からなる。

【0074】次に、半導体基板1を800°C~900°Cの(好ましくは乾燥した)酸化性雰囲気中で熱処理する。これにより、5~20nmの比較的薄い酸化シリコン膜(図示せず)が形成される。この熱処理により、ゲート電極6の加工時に薄くなったゲート電極6の端部のゲート絶縁膜5が補強され、回路の動作時にゲート絶縁膜5が破壊されるのを防止することができる。

【0075】次に、p-型ウエル2に低不純物濃度のn-型半導体領域8を形成し、n-型ウエル3に低不純物濃度のp-型半導体領域9を形成する(図9参照)。

【0076】n-型半導体領域8は、n-型ウエル3をフォトレジスト(図示せず)で覆い、イオン注入技術によりp-型ウエル2にヒ素またはリンあるいはその両方を加速エネルギー40keV~80keVで1013atoms/cm²程度注入して形成する。p-型半導体領域9は、p-型ウエル2をフォトレジスト(図示せず)で覆い、イオン注入技術によりn-型ウエル3にホウ素を加速エネルギー10keV~30keVで1013atoms/cm²程度注入して形成する。n-型半導体領域8、p-型半導体領域9のそれぞれの表面の不純物濃度は1018atoms/cm³程度に設定する。

【0077】次に、p-型ウエル2、n-型ウエル3のそれぞれのゲート電極6の側壁にサイドウォール・スペーサ10を形成した後、n-型ウエル3をフォトレジスト15で覆い、イオン注入技術によりp-型ウエル2にn型不純物を注入して高不純物濃度のn+型半導体領域11を形成し、さらに、上記フォトレジスト15をマスクし、p-型ウエル2にn型不純物を注入することにより、n+型半導体領域11を取り囲むn型半導体領域12を形成する(図10参照)。

【0078】上記サイドウォール・スペーサ10は、CVD法で順次堆積した5~30nmの比較的薄い窒化シリコン膜(図示せず)と酸化シリコン膜を異方性エッチングでバターニングして形成する。もちろん、酸化シリコン膜を用い、窒化シリコン膜を厚くして形成してもよい。サイドウォール・スペーサ10のゲート長方向の膜厚は、0.2μm程度に設定する。n+型半導体領域11は、ヒ素を加速エネルギー40keV~80keVで1015atoms/cm²~1016atoms/cm²程度注入して形成し、n型半導体領域12は、リンを加速エネルギー40keV~80keVで1014atoms/cm²~1015atoms/cm²程度注入して形成する。

【0079】次に、n-型ウエル3を覆うフォトレジスト15を除去した後、p-型ウエル2をフォトレジスト16で覆い、イオン注入技術によりn-型ウエル3にp型不純物を注入して高不純物濃度のp+型半導体領域13を形成する(図11参照)。p+型半導体領域13は、ホウ素を加速エネルギー10keV~30keVで1015atoms/cm²~1016atoms/cm²程度注入して形成する。その後、フォトレジスト16を除去する。そして、その上部にCVD法で10~50nmの比較的薄い窒化シリコン膜(図示せず)を形成する。あるいは、n+型半導体領域11、n型半導体領域12とp型半導体領域13の形成前に、前記窒化シリコン膜を形成し、前記窒化シリコン膜を介して、半導体領域形成用の不純物注入を行ってもよい。この場合には窒化シリコン膜の膜厚を例えば10~20nmとする。前記図1に示すnチャネル型MISFETQn、pチャネル型MISFETQpが完成する。

【0080】(実施例2) 図12は、本発明の実施例2である半導体集成回路装置の要部を示す断面図である。【0081】前記実施例1との違いを説明すると、本実施例のnチャネル型MISFETQnは、低不純物濃度のn-型半導体領域8の下部およびn型半導体領域12のチャネル領域側の側面部に、p-型ウエル2よりも不純物濃度の高いp型半導体領域(第4半導体領域)17が設けられている。このp型半導体領域17は、ゲート電極6のゲート長方向の中央下部には形成されていない。

【0082】また、本実施例のpチャネル型MISFETQpは、低不純物濃度のp-型半導体領域9の下部およびp+型半導体領域13のチャネル領域側の側面部に、n-型ウエル3よりも不純物濃度の高いn型半導体領域18が設けられている。このn型半導体領域18は、ゲート電極6のゲート長方向の中央下部には形成されていない。

【0083】上記MISFET構造によれば、前記実施例1と同様の効果が得られることに加え、nチャネル型MISFETQnにおいては、p型半導体領域17を設けたことにより、n-型半導体領域8およびn型半導体

領域1-2のそれぞれの空乏層の延びを抑えることができる。また、nチャネル型MISFET Qnにおいては、n型半導体領域1-8を設けたことにより、p-型半導体領域9およびp+型半導体領域1-3のそれぞれの空乏層の延びを抑えることができる。従って、nチャネル型MISFET Qn、nチャネル型MISFET Qpのそれぞれのチャネル長を前記実施例1のMISFETよりもさらに短くすることができる。MISFETの微細化をさらに進めることが可能である。

【0084】nチャネル型MISFET Qnのp型半導体領域1-7は、前記実施例1と同様、フォトレジストをマスクにしてp-型ウエル2にn型不純物をイオン注入してn-型半導体領域8を形成した後、図1-3に示すように、同じフォトレジストをマスクにしてp-型ウエル2にp型不純物をイオン注入して形成する。p型不純物にはホウ素を用い、加速エネルギー60keV～90keVで1013atoms/cm2程度注入する。

【0085】pチャネル型MISFET Qpのn型半導体領域1-8は、前記実施例1と同様、フォトレジストをマスクにしてn-型ウエル3にp型不純物をイオン注入してp-型半導体領域9を形成した後、図1-4に示すように、同じフォトレジストをマスクにしてn-型ウエル3にn型不純物をイオン注入して形成する。n型不純物にはリンを用い、加速エネルギー90keV～120keVで1013atoms/cm2程度注入する。その後の工程は、前記実施例1と同じである。

【0086】(実施例3)図1-5は、本発明の実施例3である半導体集積回路装置の要部を示す断面図である。【0087】前記実施例1との違いを説明すると、本実施例のnチャネル型MISFET Qnは、p-型ウエル2よりも不純物濃度の高いp型半導体領域(第5半導体領域)1-9が、ゲート電極5の下部のチャネル領域、n-型半導体領域8、n型半導体領域1-2およびn+型半導体領域1-1の全体を取り囲むように形成されている。また、pチャネル型MISFET Qpは、n-型ウエル3よりも不純物濃度の高いn型半導体領域2-0が、ゲート電極5の下部のチャネル領域、p-型半導体領域9およびp+型半導体領域1-2の全体を取り囲むように形成されている。

【0088】本実施例のMISFET構造によれば、前記実施例1と同様の効果が得られることに加え、nチャネル型MISFET Qnにおいては、p型半導体領域1-9を設けたことにより、n-型半導体領域8およびn型半導体領域1-2のそれぞれの空乏層の延びを抑えることができ、pチャネル型MISFET Qpにおいては、n型半導体領域2-0を設けたことにより、p-型半導体領域9およびp+型半導体領域1-3のそれぞれの空乏層の延びを抑えることができる。

【0089】従って、nチャネル型MISFET Qn、pチャネル型MISFET Qpのそれぞれのチャネル長を前記実施例1のMISFETよりもさらに短くすることができる。MISFETの微細化をさらに進めることが可能である。

【0090】上記p型半導体領域1-9、n型半導体領域2-0を形成するには、まず、前記実施例1と同様、n-型ウエル3、p-型ウエル2のそれぞれの表面にフィールド絶縁膜4を形成し、続いて、フィールド絶縁膜4で囲まれたn-型ウエル3、p-型ウエル2のそれぞれのアクティブ領域にしきい値電圧制御用の不純物をイオン注入技術で注入した後、図1-6に示すように、n-型ウエル3をフォトレジスト2-1で覆い、p-型ウエル2にp型不純物をイオン注入してp型半導体領域1-9を形成する。p型不純物にはホウ素を用い、加速エネルギー100keV～150keVで1013atoms/cm2程度注入する。

【0091】次に、上記フォトレジスト2-1を除去した後、図1-7に示すように、p-型ウエル2をフォトレジスト2-2で覆い、n-型ウエル3にn型不純物をイオン注入してn型半導体領域2-0を形成する。n型不純物にはリンを用い、加速エネルギー100keV～150keVで1013atoms/cm2程度注入する。p型半導体領域1-9とn型半導体領域2-0は、上記した工程と逆の順序で形成してもよい。

【0092】続いて、前記実施例1と同様の方法でp-型ウエル2にn-型半導体領域8を形成し、n-型ウエル3にp-型半導体領域9を形成する。その後の工程は、前記実施例1と同じである。

【0093】(実施例4)図1-8は、本発明の実施例4である半導体集積回路装置の要部を示す断面図である。【0094】前記実施例1との違いを説明すると、本実施例では、pチャネル型MISFET Qpが前記実施例1のnチャネル型MISFET Qnと同じ構造で構成されている。すなわち、pチャネル型MISFET Qpのソース領域、ドレイン領域は、n-型ウエル3に形成された高不純物濃度のp型半導体領域1-3と、このp+型半導体領域1-3を取り囲むように設けられたp型半導体領域2-3と、ゲート電極5の側面に設けられたサイドウォール・スペーサ1-0の下部に位置し、上記p型半導体領域2-3とゲート電極5の下部のチャネル領域との間に設けられた低不純物濃度のp-型半導体領域9とで構成されている。ここで、p型半導体領域2-3の不純物濃度は、その上部に形成されたp+型半導体領域1-3とサイドウォール・スペーサ1-0の下部に位置するp-型半導体領域9のほぼ中間程度に設定される。

【0095】本実施例のMISFET構造によれば、nチャネル型MISFET Qnのソース領域、ドレイン領域の一部にn型半導体領域1-2を設けたことにより、前記実施例1と同様の効果が得られることに加え、pチャ

ネル型MISFETQDのソース領域、ドレイン領域の一部にp型半導体領域23を設けたことにより、ロチャネル型MISFETQDのソース領域、ドレイン領域の寄生抵抗、寄生容量を減少させてチャネル電流を増加させることができる。

【0096】ロチャネル型MISFETQDのp型半導体領域23は、前記実施例1と同じ方法でp-型ウエル2にnチャネル型MISFETQnのn-型半導体領域3、n-型ウエル3にロチャネル型MISFETQDのp-型半導体領域9をそれぞれ形成した後、図19に示すように、p-型ウエル2をフォトレジスト24で覆い、イオン注入技術によりn-型ウエル3にホウ素を加速エネルギー10keV～30keVで1014atoms/cm²程度注入して形成する。その後の工程は、実施例1と同じである。

【0097】上記のような方法とすることは、ロチャネル型MISFETQDの場合、ソース領域、ドレイン領域を構成する不純物はホウ素しかなく、nチャネル型MISFETQnのようにヒ素とリンを同時に注入した後、同時に熱拡散して異なる深さの接合を形成することができないからである。本実施例の製造方法によれば、まずp型半導体領域23を形成し、次いでp+型半導体領域13を形成するので、異なる深さの接合を形成することができる。

【0098】(実施例5) 図20は、本発明の実施例5である半導体集積回路装置の要部を示す断面図である。【0099】前記実施例1のMISFET構造との違いは、nチャネル型MISFETQnのゲート電極5およびn+型半導体領域11(ソース領域、ドレイン領域)、ロチャネル型MISFETQDのゲート電極5およびp+型半導体領域13(ソース領域、ドレイン領域)のそれぞれの表面に、タンクスチタンなどの高融点金属、あるいはコバルトリサイド、チタンリサイド、タンクスチタンリサイドなどの高融点金属シリサイドなどからなる低抵抗層25を設けたことである。

【0100】本実施例によれば、上記低抵抗層25によってnチャネル型MISFETQnのn+型半導体領域11、ロチャネル型MISFETQDのp+型半導体領域13のそれぞれの寄生抵抗が減少するので、チャネル電流をさらに増加させることができ。

【0101】一般に、ソース領域、ドレイン領域の表面に上記のような低抵抗層25を設けると、低抵抗層25中の金属が基板(p-型ウエル2、n-型ウエル3)に拡散し、pn接合のリーク電流の増加を引き起こす。このリーク電流の増加は、バッテリ動作を行なうLSIや微小リークによる記憶情報の消失が問題となるSRAM、DRAMなどのメモリLSIにとっては好ましいことではない。

【0102】しかし、本実施例のnチャネル型MISFETQnのソース領域、ドレイン領域は、高不純物濃度

のn+型半導体領域11を取り囲むようにn型半導体領域12が設けてあるので、pn接合の位置が深くなる。この結果、低抵抗層25中の金属が基板中に拡散しても、この金属がpn接合の位置まで拡散してリーク電流の増加を引き起こす危険性は減少する。

【0103】また、ロチャネル型MISFETQDは、高不純物濃度のp+型半導体領域13の不純物であるホウ素の拡散係数が大きいので、そのpn接合の位置は、nチャネル型MISFETQnのn+型半導体領域11の位置よりも深くなる。そのため、nチャネル型MISFETQnに比べてリーク電流の増加を引き起こす危険性は少ない。もちろん、ロチャネル型MISFETQDを前記実施例4のロチャネル型MISFETQDと同じ構造とすれば、リーク電流をさらに減少させることができる。

【0104】このように、本実施例によれば、MISFETの寄生抵抗、寄生容量を減少させてチャネル電流を増加させると共に、pn接合のリーク電流を減少させることもできる。

【0105】本実施例のMISFET構造を形成するには、まず、図21に示すように、前記実施例1と同じMISFET構造を形成する。ただし、ゲート電極6の上部のキャップ絶縁膜14Aは、フィールド絶縁膜4やサイドウォール・スペーサ10を構成する絶縁膜材料(酸化シリコン)とエッチングレートが異なる材料、例えばCVD法で堆積した窒化シリコン膜で形成する。

【0106】次に、図22に示すように、nチャネル型MISFETQn、ロチャネル型MISFETQDのそれぞれのソース領域、ドレイン領域を覆うゲート絶縁膜5をフッ酸を含むエッティング液で除去する。このとき、フィールド絶縁膜4およびサイドウォール・スペーサ10は、ゲート絶縁膜5に比べて非常に厚く形成されているので、このエッティング液で除去されることはない。また、キャップ絶縁膜14Aもこのエッティング液で除去されることはない。

【0107】次に、図23に示すように、nチャネル型MISFETQn、ロチャネル型MISFETQDのそれぞれのゲート電極6の上部を覆うキャップ絶縁膜14Aをリン酸などのエッティング液で選択的に除去し、ゲート電極5を露出させる。

【0108】次に、図24に示すように、半導体基板1の全面にCVD法あるいはスパッタ法でタンクスチタン、チタン、コバルトなどの高融点金属膜26を堆積し、統一して、半導体基板1を600°C程度の不活性雰囲気中で熱処理することにより、図25に示すように、nチャネル型MISFETQnのゲート電極6およびn+型半導体領域11(ソース領域、ドレイン領域)、ロチャネル型MISFETQDのゲート電極5およびp+型半導体領域13(ソース領域、ドレイン領域)のそれぞれの表面にシリサイド層25Aを形成する。

【0109】その後、絶縁膜上に残った未反応の高融点金属膜25をエッチング液で除去した後、半導体基板1を800°C~900°C程度の不活性雰囲気中で熱処理し、シリサイド層25Aを低抵抗化して低抵抗層25を形成する。そして、前記実施例1と同様にCVD法で10~50nmの比較的薄い窒化シリコン膜(図示せず)を形成することにより、前記図20に示すMISFET構造が得られる。

【0110】なお、上記低抵抗層25は、ゲート電極6、ソース領域、ドレイン領域のそれぞれの表面にタングステンなどの高融点金属層を選択的に成長させて形成してもよい。また、ゲート電極6上には低抵抗層25を形成せず、ソース領域、ドレイン領域上ののみに低抵抗層25を形成してもよい。この場合、ゲート電極6は、低抵抗のシリサイドなどで形成しておくことが好ましい。また、ゲート電極6の上部のキャップ絶縁膜14は酸化シリコン膜でよい。

【0111】(実施例6) 図25は、本発明の実施例6である半導体集積回路装置の要部を示す断面図である。

【0112】本実施例のnチャネル型MISFETQnは、ソース領域、ドレイン領域の一部を構成する低不純物温度のn-型半導体領域(第5半導体領域)8がn型半導体領域12およびn型半導体領域11を取り囲むように形成されており、さらに、前記実施例3(図15)と同様、p-型ウエル2よりも不純物温度の高いp型半導体領域9が、ゲート電極5の下部のチャネル領域、n-型半導体領域8、n型半導体領域12およびn型半導体領域11の全体を取り囲むように形成されている。

【0113】また、pチャネル型MISFETQpも、ソース領域、ドレイン領域の一部を構成する低不純物温度のp-型半導体領域9がp+型半導体領域13を取り囲むように形成されており、さらに、前記実施例3と同様、n-型ウエル3よりも不純物温度の高いn型半導体領域20が、ゲート電極5の下部のチャネル領域、p型半導体領域9およびp+型半導体領域12の全体を取り囲むように形成されている。

【0114】本実施例のMISFET構造によれば、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれの短チャネル特性の劣化を防止することができる。

【0115】また、本実施例のMISFET構造によれば、nチャネル型MISFETQnのn型半導体領域12およびn+型半導体領域11とp型半導体領域9との間に低不純物温度のn-型半導体領域8を設け、pチャネル型MISFETQpのp+型半導体領域13とn領域9を設けたことにより、pn接合で構成される寄生容量を減少させることができる。

【0116】(実施例7) 図27は、本発明の実施例7

である半導体集積回路装置の要部を示す断面図である。

【0117】前記実施例5のMISFET構造との違いを説明すると、本実施例のnチャネル型MISFETQnは、ソース領域、ドレイン領域の一部を構成する低不純物温度のn-型半導体領域(第7半導体領域)8がゲート電極5の側壁のサイドウォール・スペーサ10の下部のみに形成され、かつそのpn接合は、n+型半導体領域11を取り囲むn型半導体領域12よりも深い位置に形成されている。

【0118】また、pチャネル型MISFETQpも、ソース領域、ドレイン領域の一部を構成する低不純物温度のp-型半導体領域9がゲート電極5の側壁のサイドウォール・スペーサ10の下部のみに形成され、かつそのpn接合は、p+型半導体領域13よりも深い位置に形成されている。

【0119】さらに、本実施例のMISFETは、前記実施例5のMISFETと同じく、nチャネル型MISFETQnのn-型半導体領域11(ソース領域、ドレイン領域)、pチャネル型MISFETQpのp+型半導体領域13(ソース領域、ドレイン領域)のそれぞれの表面に、高融点金属あるいは高融点金属シリサイドからなる低抵抗層25が設けられているが、実施例5のMISFETとは異なり、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのゲート電極5の表面には、低抵抗層25が設けられていない。

【0120】本実施例のMISFET構造を形成するには、まず、図28に示すように、先の実施例(実施例3)の方法により、p-型ウエル2にp型半導体領域19を、n-型ウエル3にn型半導体領域20をそれぞれ形成した後、p-型ウエル2にnチャネル型MISFETQnのゲート絶縁膜5、ゲート電極5、サイドウォール・スペーサ10A、キャップ絶縁膜14を形成し、n-型ウエル3にpチャネル型MISFETQpのゲート絶縁膜5、ゲート電極5、サイドウォール・スペーサ10A、キャップ絶縁膜14を形成する。このとき、本実施例では、キャップ絶縁膜14を酸化シリコン膜で形成し、サイドウォール・スペーサ10Aを酸化シリコンとエッチンググリートが異なる材料、例えばCVD法で堆積した窒化シリコン膜で形成する。

【0121】次に、図29に示すように、前記実施例5の方法により、nチャネル型MISFETQnのn+型半導体領域11、pチャネル型MISFETQpのp+型半導体領域13のそれぞれの表面に低抵抗層25を形成した後、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのゲート電極5の側壁のサイドウォール・スペーサ10Aをリン酸などのエッティング液で選択的に除去する。

【0122】次に、図30に示すように、p-型ウエル2をフォトレジスト27で覆い、n-型ウエル3にp型不純物をイオン注入して低不純物温度のp-型半導体領域

域9を形成する。このとき、n-型ウエル3の表面にはゲート電極6および低抵抗層25が設けられているので、p-型半導体領域8は、ゲート電極6と低抵抗層25との間の領域のみに形成される。

【0123】次に、フォトレジスト27を除去した後、図31に示すように、n-型ウエル3をフォトレジスト28で覆い、p-型ウエル2にn型不純物をイオン注入して低不純物濃度のn-型半導体領域8を形成する。このとき、p-型ウエル2の表面にはゲート電極6および低抵抗層25が設けられているので、n-型半導体領域8は、ゲート電極6と低抵抗層25との間の領域のみに形成される。

【0124】その後、フォトレジスト28を除去した後、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのゲート電極6の側壁にサイドウォール・スペーサ10を形成する。そして、前記実施例と同様に、窒化シリコン膜(図示せず)を形成することにより、前記図27に示すMISFET構造が得られる。このサイドウォール・スペーサ10は、ゲート電極6とその両側の段差を緩和する作用がある。

【0125】通常、LDD構造のMISFETを形成するには、ゲート電極を形成した後、まず、低不純物濃度の半導体領域(n-型半導体領域、p-型半導体領域)を形成し、次いでゲート電極の側壁にサイドウォール・スペーサを形成した後、高不純物濃度の半導体領域(n+型半導体領域、p+型半導体領域)を形成する。しかし、このような方法では、低不純物濃度の半導体領域(n-型半導体領域、p-型半導体領域)に加えられる熱処理が多くなり、この半導体領域中の不純物がより拡散するため、短チャネル特性に優れたMISFETを得られにくい。

【0126】これに対し、本実施例の製造方法では、高不純物濃度のn+型半導体領域11、p+型半導体領域13を形成した後の工程で、低不純物濃度のn-型半導体領域8、p-型半導体領域9を形成するので、n-型半導体領域8、p-型半導体領域9に加えられる熱処理が少くなり、短チャネル特性に優れたMISFETを得ることができる。

【0127】なお、本実施例のn-型半導体領域8、p-型半導体領域9は、そのp-n接合がn+型半導体領域11、n型半導体領域12や、p+型半導体領域13よりも浅い位置に形成されていてもよい。

【0128】(実施例8) 図32は、本発明の実施例8である半導体集積回路装置の要部を示す断面図である。

【0129】本実施例は、情報の書き込み、あるいは消去を電気的に行う不揮発性メモリに適用した例である。この種の不揮発性メモリの例として、情報を電気的に書き込み、紫外線で消去するEPROM、あるいは情報を書き込みおよび消去を電気的に行うEEPROMなどがある。

【0130】図32の左側に示すnチャネル型MISFETQnは、周辺回路の一部を構成するもので、前記実施例1のnチャネル型MISFETQnと同じ構造で構成されている。また、図示はしないが、周辺回路の他の一部は、前記実施例1と同じ構造のpチャネル型MISFETQpで構成されている。

【0131】図32の右側に示すnチャネル型MISFETQvは、本実施例の不揮発性メモリのメモリセルであり、p-型ウエル2の表面に設けた第1ゲート絶縁膜30を介してその上部にフローティングゲート31を設け、このフローティングゲート31の上部に第2ゲート絶縁膜32を介してコントロールゲート33を設けたMISFET構造で構成されている。

【0132】上記nチャネル型MISFETQvのソース領域、ドレイン領域は、周辺回路のnチャネル型MISFETQnと同じ構造で構成されているが、n-型半導体領域8Aの不純物濃度は、nチャネル型MISFETQnのn-型半導体領域8よりも高く設定されている。具体的には、n-型半導体領域8Aの不純物濃度は、 $1.019\text{atoms/cm}^3 \sim 1.020\text{atoms/cm}^3$ 程度、あるいはnチャネル型MISFETQnのn+型半導体領域11の不純物濃度に近い濃度であり、これによって、情報の書き込み、消去および読み出しお動作を効率よく行なうことができる。

【0133】本実施例の不揮発性メモリによれば、メモリセルを構成するnチャネル型MISFETQv、周辺回路を構成するnチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのソース領域、ドレイン領域の寄生容量を減少させることができるので、高速のメモリ動作をする不揮発性メモリが得られる。

【0134】また、本実施例では、nチャネル型MISFETQvのn+型半導体領域11、n型半導体領域12と、nチャネル型MISFETQnのn+型半導体領域11、n型半導体領域12とは同一の構造、同一の不純物濃度で構成されているので、同一の工程で形成することができる。

【0135】なお、メモリセルを構成するnチャネル型MISFETQvの場合、ソース領域側のn-型半導体領域8Aと、ドレイン領域側のn-型半導体領域8Aの不純物濃度は異なるものであってもよい。

【0136】また本実施例でも前記実施例と同様に、ゲート電極6、フローティングゲート31とコントロールゲート33の側面に窒化シリコン膜(図示せず)とMISFETQnとQvの上部を覆う窒化シリコン膜(図示せず)が構成されている。これによって、水分がフローティングゲート31に侵入して発生するデータ保持特性の劣化を防止することができる。

【0137】さらに第2ゲート絶縁膜32を窒化シリコン膜を含む積層膜で形成することにより、フローティングゲート31の周囲を窒化シリコン膜で覆うことができ

るので、さらにデータ保持特性を向上することができる。

【D 1 3 8】(実施例9) 図33は、本発明の実施例9である半導体集積回路装置の要部を示す断面図である。【D 1 3 9】本実施例で使用する半導体基板1は、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのソース領域、ドレイン領域の底部に接するように絶縁層35を設けた、いわゆるSOI(Silicon On Insulator)構造で構成されている。

【D 1 4 0】本実施例によれば、半導体基板1をSOI構造で構成したことにより、nチャネル型MISFETQn、pチャネル型MISFETQpのそれぞれのソース領域、ドレイン領域の空乏層の広がりを抑制することができるので、先の実施例のMISFET構造よりもさらに寄生容量を低減することができる。

【D 1 4 1】(実施例10) 図34は、本発明の実施例10である半導体集積回路装置の要部を示す断面図。図35は、実施例10の半導体集積回路の等価回路図である。

【D 1 4 2】本実施例は、スタティックRAM(SRAM)のメモリセルに適用した例である。

【D 1 4 3】図35に示すように、本実施例のSRAMのメモリセルは、pチャネル型の負荷用MISFETQp1とnチャネル型の駆動用MISFETQd1とで構成されるインバータ回路INV1と、pチャネル型の負荷用MISFETQd2とnチャネル型の駆動用MISFETQd2とで構成されるインバータ回路INV2からなるフリップフロップ回路。およびnチャネル型である一对の転送用MISFETQt1, Qt2の5素子で構成されている。

【D 1 4 4】負荷用MISFETQp1, Qp2のそれぞれのソース領域は電源電圧(Vcc)に接続され、駆動用MISFETQd1, Qd2のそれぞれのソース領域は接地電圧(Vss=0V)に接続されている。転送用MISFETQt1のソース領域、ドレイン領域の一方はインバータ回路INV1に接続され、他方はデータ線(D)に接続されている。転送用MISFETQt2のソース領域、ドレイン領域の一方はインバータ回路INV2に接続され、他方はデータ線(D-bar)に接続されている。また、転送用MISFETQt1, Qt2のそれぞれのゲート電極は、ワード線(W)に接続されている。

【D 1 4 5】上記のように構成されたメモリセルのインバータ回路(INV1, INV2)の記憶ノードには寄生容量(C1, C2)が形成され、データ線(D, D-bar)には寄生容量(Cd1, Cd2)が形成される。

【D 1 4 6】SRAMに要求される特性は、高速動作、およびデータに対する記憶情報の安定保持である。高速動作を行なうには、データ線の寄生容量(Cd1, Cd2)を減少させ、さらにMISFETの駆動能力すなわちチャネル電流を増加することが必要である。また、記憶情報

の安定保持のためには、記憶ノードの寄生容量(C1, C2)を増加させることが必要である。

【D 1 4 7】図34は、上記SRAMのメモリセルの断面図である。SRAMの周辺回路を構成するMISFETは、メモリセルを構成するMISFETと実質的に同じ構成であるため、その図示は省略する。

【D 1 4 8】メモリセルのインバータ回路(INV1, INV2)を構成する負荷用MISFETQp(Qp1, Qp2)は、前記実施例3のpチャネル型MISFETQp(図15参照)と同じ構造で構成され、駆動用MISFETQd(Qd1, Qd2)は、前記実施例3のnチャネル型MISFETQn(図15参照)と同じ構造で構成されている。

【D 1 4 9】すなわち、nチャネル型である駆動用MISFETQd1, Qd2のソース領域、ドレイン領域は、低不純物濃度のn+型半導体領域8、高不純物濃度のn+型半導体領域1およびこのn+型半導体領域1を取り囲むn型半導体領域12で構成され、さらに、p-型ウエル2よりも不純物濃度の高いp型半導体領域19が、ゲート電極5の下部のチャネル領域、n-型半導体領域8、n型半導体領域12およびn+型半導体領域11の全体を取り囲むように形成されている。

【D 1 5 0】pチャネル型である負荷用MISFETQp1, Qp2のソース領域、ドレイン領域は、低不純物濃度のp-型半導体領域9および高不純物濃度のp+型半導体領域13で構成され、さらに、n-型ウエル3よりも不純物濃度の高いn型半導体領域20が、ゲート電極6の下部のチャネル領域、p-型半導体領域9およびp+型半導体領域13の全体を取り囲むように形成されている。

【D 1 5 1】上記のように構成されたメモリセルによれば、先の実施例と同様、n-型半導体領域8(駆動用MISFETQd1, Qd2)、p型半導体領域9(負荷用MISFETQp1, Qp2)のそれぞれの寄生抵抗を低減することができるので、駆動用MISFETQd1, Qd2、負荷用MISFETQp1, Qp2のそれぞれのチャネル電流を増加させることができ、メモリセルの高速動作を実現することができる。また、p型半導体領域19、n型半導体領域20を設けない場合に比べてソース領域、ドレイン領域の接合容量が増加するので、記憶ノードの寄生容量(C1, C2)が増加し、記憶情報の安定保持が可能となる。

【D 1 5 2】上記MISFETQp1, Qp2は負荷として使用するので、必ずしもチャネル電流を増加させる必要はないが、周辺回路を構成するpチャネル型MISFETの高速動作を実現する場合は、チャネル電流を増加させる必要がある。この場合は、前記実施例4のpチャネル型MISFETQpと同様、ソース領域、ドレイン領域を高不純物濃度のp+型半導体領域13と、このp+型半導体領域13を取り囲むように設けられたp型

半導体領域 2 3 と、上記 p 型半導体領域 2 3 とゲート電極 5 の下部のチャネル領域との間に設けられた低不純物濃度の p- 型半導体領域 9 とで構成することにより、p- 型半導体領域 9 の寄生抵抗を減少させることができます。

【0 1 5 3】また、メモリセルの n チャネル型 MISFET (駆動用 MISFET Qd1, Qd2) の下部に設けられる p 型半導体領域 1 9 と周辺回路の n チャネル型 MISFET の下部に設けられる p 型半導体領域 1 9 およびメモリセルの n チャネル型 MISFET (負荷用 MISFET Qp1, Qp2) の下部に設けられる n 型半導体領域 2 0 と周辺回路の p チャネル型 MISFET の下部に設けられる n 型半導体領域 2 0 は、それぞれ同一工程で形成されるが、記憶ノードの寄生容量 (Cd1, Cd2) をさらに増加させるために、それぞれ別工程で形成してもよい。

【0 1 5 4】また、本実施例では、メモリセルのもう一方の n チャネル型 MISFET である転送用 MISFET Qt1 (Qt1, Qt2) の下部には、上記 p 型半導体領域 1 9 を設けていない。これにより、転送用 MISFET Qt1, Qt2 に接続されるデータ線 (D, バーダ) の寄生容量 (Cd1, Cd2) を減少させることができます。メモリセルの高速動作を実現することができます。

【0 1 5 5】本実施例では、半導体基板上に形成された 6 個の MISFET をメモリセルを構成した SRAM に適用した場合について説明したが、半導体基板上に形成した 4 個の n チャネル型 MISFET と、この n チャネル型 MISFET を覆う絶縁膜上に形成した 2 個の n チャネル型 MISFET でメモリセルを構成した SRAM において、半導体基板上に形成した 4 個の n チャネル型 MISFET を本発明の MISFET 構造で構成してもよい。さらには、DRAM あるいは強誘電体から構成された FRAM のメモリセルの転送用 MISFET やそれらの周辺回路を構成する MISFET に適用してもよい。

【0 1 5 6】(実施例 1 1) 本実施例によるウエルの製造方法を図 3 6 ～ 図 3 9 を用いて説明する。

【0 1 5 7】まず、図 3 6 に示すように、p- 型半導体基板 1 の正面に熱酸化法 (LOCOS 法) で素子分離用の厚いフィールド絶縁膜 4 を形成した後、フィールド絶縁膜 4 で囲まれたアクティブ領域の表面上に清浄なゲート絶縁膜 5 を形成する。

【0 1 5 8】次に、図 3 7 に示すように、半導体基板 1 の一部 (n- 型ウエル 3 を形成する領域) をフォトレジスト 4 0 で覆い、他の一部 (p- 型ウエル 2 を形成する領域) にイオン注入技術でホウ素を注入する。ホウ素は、加速エネルギー -2 0 0 keV ~ 3 0 0 keV で 1 0 1 2 atoms/cm² ~ 1 0 1 3 atoms/cm² 程度注入する。

【0 1 5 9】次に、フォトレジスト 4 0 を除去した後、

図 3 8 に示すように、半導体基板 1 の一部 (p- 型ウエル 2 を形成する領域) をフォトレジスト 4 1 で覆い、他の一部 (n- 型ウエル 3 を形成する領域) にイオン注入技術でリンを注入する。リンは、加速エネルギー -2 0 0 keV ~ 3 0 0 keV で 1 0 1 2 atoms/cm² ~ 1 0 1 3 atoms/cm² 程度注入する。

【0 1 6 0】あるいは、全面にホウ素を注入した後に、p- 型ウエル 2 の形成領域をフォトレジスト 4 1 で覆い、リンを注入して n- 型ウエルを形成してもよい。この場合、n- 型ウエルに注入されたホウ素をうち消すよう LIN を注入する。または、フォトレジスト 4 1 をマスクにしてリンを注入後、フォトレジスト 4 1 を除去し、全面にホウ素を注入してもよい。

【0 1 6 1】さらには、上記とは逆に n- 型ウエル 3 の形成領域をフォトレジスト 4 0 で覆い、ホウ素を注入して p- 型ウエル 2 を形成するようにしてもよい。

【0 1 6 2】その後、フォトレジスト 4 1 を除去した後、図 3 9 に示すように、半導体基板 1 を 1 0 0 0 ℃ ~ 1 0 5 0 ℃ で熱処理してホウ素およびリンを引き延ばし拡散させることにより、p- 型ウエル 2A、n- 型ウエル 3A を形成する。

【0 1 6 3】このように、本実施例では前記実施例 1 とは異なり、まず、半導体基板 1 の正面にフィールド絶縁膜 4 を形成し、その後に p- 型ウエル 2A、n- 型ウエル 3A を形成する。

【0 1 6 4】図 4 0 は、本実施例の方法で形成した p- 型ウエル 2A と、実施例 1 の方法で形成した p- 型ウエル 2 のそれぞれの不純物濃度分布を示すグラフ図である (n- 型ウエル 3A、n- 型ウエル 3 の場合もほぼ同様の結果が得られるため、その図示は省略する)。

【0 1 6 5】図 4 0 は、本実施例の方法で形成した p- 型ウエル 2A と、実施例 1 の方法で形成した p- 型ウエル 2 のそれぞれの不純物濃度分布を示すグラフ図である (n- 型ウエル 3A、n- 型ウエル 3 の場合もほぼ同様の結果が得られるため、その図示は省略する)。

【0 1 6 6】図示のように、実施例 1 の方法では、ウエル表面の不純物濃度が最も高く、深くなるに従って不純物濃度が低くなる。そのため、ラッチアップ耐性を強くするために不純物濃度を高くすると、MISFET のチャネル領域が形成される表面の不純物濃度が高くなりすぎて、しきい値電圧の制御が困難になってしまう。

【0 1 6 7】これに対し、本実施例の方法では、ウエル表面の不純物濃度よりも所定の深さの不純物濃度の方が高くなるので、表面の不純物濃度を高くすることなく、ラッチアップ耐性を向上させることができる。

【0 1 6 8】また、本実施例の方法では、チャネル領域の下部の不純物濃度を高くでき、この高不純物濃度領域が先の実施例の p 型半導体領域 1 9 (n- 型ウエル 3 の場合は、n 型半導体領域 2 0) と同じ働きをするので、短チャネル特性を向上させることができる。さらに、本実施例のウエル構造と先の実施例の p 型半導体領域 1 9 (n- 型ウエル 3 の場合は、n 型半導体領域 2 0) とを組み合わせれば、短チャネル特性をさらに向上させることができます。

【0 1 6 9】(実施例 1 2) 本発明の MISFET 構造

を形成するのに好適な半導体基板の製造方法を図4-3を用いて説明する。

【0169】まず、図4-1に示すように、表面が(100)面で比抵抗が $0.1 \sim 1 \Omega - \text{cm}$ 程度のp-型の半導体基板1を用意し、イオン注入技術によりその正面にホウ素を $1.015 \text{ atoms/cm}^2 \sim 1.016 \text{ atoms/cm}^2$ 程度注入する。なお、p-型半導体基板1に代えてn-型半導体基板を用いたり、ホウ素に代えてリンを注入したりしてもよい。

【0170】次に、図4-2に示すように、半導体基板1を $900^\circ\text{C} \sim 1000^\circ\text{C}$ で熱処理して上記不純物を引き延ばし拡散することにより、半導体基板1の正面に高不純物濃度のp+型半導体領域(リンを注入した場合はn+型半導体領域)50を形成する。

【0171】次に、図4-3に示すように、エピタキシャル成長技術により、上記p+型半導体領域50の表面上に半導体層51を形成する。半導体層51は、不純物を含まない、あるいは $1.0 \Omega - \text{cm}$ 程度の低温度の不純物を含んだものとする。その後、この半導体層51の正面に前記いずれかの実施例の方法でnチャネル型MISFET Qn、pチャネル型MISFET Qpを形成する。

【0172】図4-4は、本実施例の方法で形成した半導体層51を有する半導体基板1の不純物濃度分布を示すグラフ図である。

【0173】従来、MISFETのラッチアップ耐性を強くする半導体基板構造として、 $0.01 \Omega - \text{cm}$ 程度の高温度の不純物を含む半導体基板の表面にエピタキシャル成長技術により単結晶シリコン層を形成した半導体基板が使用されている。

【0174】しかし、このような半導体基板を使用した場合は、半導体基板の裏面から放出された不純物が半導体基板の表面に付着するのを防止するために、エピタキシャル成長技術により単結晶シリコン層を形成する際、あるいはその後のウエハプロセスにおいて、半導体基板の裏面に不純物の放出を防止する酸化シリコンなどの絶縁膜を形成する必要があり、これが半導体基板の価格を上げる要因となっている。

【0175】これに対して、本実施例の半導体基板1においては、その不純物濃度を下げるができるので、裏面から放出される不純物量を少なくすることができます。従って、裏面に絶縁膜を形成する工程が不要となり、その分、製造コストを低減することができる。

【0176】(実施例13) 図4-5は、本発明のMISFETを用いたLSIの完成状態の一例を示す断面図である。

【0177】例えば比抵抗が $0.01 \Omega - \text{cm}$ 程度の高温度のp型不純物を含んだ半導体基板50の表面上には、 $1.0 \Omega - \text{cm}$ 程度のp型の半導体層51がエピタキシャル成長技術により形成されている。この半導体層51の正面には、p-型ウエル2、n-型ウエル3が形成されてお

り、p-型ウエル2、n-型ウエル3のそれぞれの表面には、素子分離用のフィールド絶縁膜4が形成されている。

【0178】nチャネル型MISFET Qnは、ゲート絶縁膜5を介してp-型ウエル2の正面に形成されたゲート電極6と、p-型ウエル2に形成された高不純物濃度のn+型半導体領域11と、n+型半導体領域11を取り囲むように形成されたn型半導体領域12と、ゲート電極6の側面に形成されたサイドウォール・スペーサ10の下部に位置し、上記n型半導体領域12とゲート電極6の下部のチャネル領域との間に形成された低不純物濃度のn-型半導体領域8とで構成されている。また、ゲート電極6およびn+型半導体領域11のそれぞれの上部には、高融点金属あるいはそのシリサイドからなる低抵抗層25が形成されている。

【0179】一方、pチャネル型MISFET Qpは、ゲート絶縁膜5を介してn-型ウエル3の正面に形成されたゲート電極6と、n-型ウエル3に形成された高不純物濃度のp+型半導体領域13と、ゲート電極6の側面に形成されたサイドウォール・スペーサ10の下部に位置し、上記p+型半導体領域13とゲート電極6の下部のチャネル領域との間に形成された低不純物濃度のp-型半導体領域9とで構成されている。また、ゲート電極6およびp+型半導体領域13のそれぞれの上部には、高融点金属あるいはそのシリサイドからなる低抵抗層25が形成されている。

【0180】上記nチャネル型MISFET Qnのソース領域、ドレイン領域の一方とpチャネル型MISFET Qpのソース領域、ドレイン領域の一方とは、チタンナイトライドなどからなる局所記録62を介して電気的に接続されている。

【0181】シリサイドからなる低抵抗層25とチタンナイトライドなどからなる局所記録62の間には、その接続部を除いた領域に前記実施例の窒化シリコン膜が形成されている。

【0182】上記nチャネル型MISFET Qn、pチャネル型MISFET Qpの上部には、ホウ素またはリンあるいはその両方を含む酸化シリコン膜、またはこの酸化シリコン膜と他の絶縁膜との積層膜からなる絶縁膜53がCVD法により堆積されている。この絶縁膜53の表面は、化学的機械的研磨法(CMP法)などの平坦化技術によって平坦化されている。

【0183】上記絶縁膜53の上部には、第1層目の配線64(64A, 64B, 64C)が形成されている。配線64は、絶縁膜53に開孔した接続孔65を通じてnチャネル型MISFET Qn、pチャネル型MISFET Qpのゲート電極6、ソース領域またはドレイン領域に接続されている。

【0184】また、上記配線64は、接続孔65の内部では、例えば下層から順にチタン、チタンナイトライ

ド、タンクスチンを積層した塗電膜で構成されており、絶縁膜 53 上では、下層から順にチタンナイトライド、アルミニウムを主成分とする低抵抗層、チタンナイトライドを積層した塗電膜で構成されている。

【0185】上記配線 54 の上部には、酸化シリコン膜、またはこの酸化シリコン膜と他の絶縁膜との積層膜からなる第 1 層目の層間絶縁膜 55 が CVD 法により堆積されている。この層間絶縁膜 55 の表面は、化学的機械的研磨法などの平坦化技術によって平坦化されている。

【0186】上記層間絶縁膜 55 の上部には、第 2 層目の配線 57 (67A, 57B) が形成されている。配線 57 は、層間絶縁膜 56 に開孔した接続孔 55 を通じて第 1 層目の配線 54 に接続されている。配線 57 は、第 1 層目の配線 54 と同じ構造である。あるいはアルミニウムの代わりに銅 (Cu) を主成分とするものであってもよい。

【0187】上記配線 57 の上部には、酸化シリコン膜、またはこの酸化シリコン膜と他の絶縁膜との積層膜からなる第 2 層目の層間絶縁膜 59 が CVD 法により堆積されている。この層間絶縁膜 59 の表面は、化学的機械的研磨法などの平坦化技術によって平坦化されている。

【0188】上記層間絶縁膜 59 の上部には、第 3 層目の配線 70 が形成されている。配線 70 は、層間絶縁膜 59 に開孔した接続孔 71 を通じて第 2 層目の配線 57 に接続されている。配線 70 は、第 1 層目の配線 54 と同じ構造である。あるいはアルミニウムの代わりに銅 (Cu) を主成分とするものであってもよい。

【0189】上記配線 70 の上部、すなわち半導体基板 1 の最上層には、バッファーレーション膜 72 が設けられている。バッファーレーション膜 72 は、酸化シリコン膜または窒化シリコン膜、あるいはこれらの積層膜により構成されている。バッファーレーション膜 72 の開孔 73 から露出した配線 70 の一部はポンティングパッド 70A を構成している。

【0190】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0191】前記各実施例の n チャネル型 MISFET、p チャネル型 MISFET は、それらを種々各々組み合わせた構成としてもよい。例えば、実施例 3 の n チャネル型 MISFET と実施例 2 の p チャネル型 MISFET とを組み合わせて複素型 MISFET (COMISFET) を構成してもよい。

【0192】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0193】本発明によれば、MISFET のチャネル領域に接する半導体領域の寄生抵抗を減少させることができるので、チャネル電流を増加することができる。

【0194】本発明によれば、MISFET のソース領域、ドレイン領域の寄生容量を減少させることができる。

【0195】従って、本発明によれば、高速、高性能の MISFET を搭載した高性能の LSI を得ることができます。

【0196】本発明によれば、MISFET のバンチスルーを抑制して短チャネル効果を低減することができる、微細で高速、高性能の MISFET を得ることができます。

【0197】本発明によれば、MISFET の寄生抵抗、寄生容量を安定に減少させることができます。

【図面の簡単な説明】

【図 1】本発明の実施例 1 である半導体集積回路装置の要部を示す断面図である。

【図 2】実施例 1 の MISFET に形成される寄生抵抗を示す説明図である。

【図 3】MISFET の不純物濃度分布を示すグラフ図である。

【図 4】MISFET のゲート寸法に対するしきい値電圧の依存性を示すグラフ図である。

【図 5】MISFET のゲート寸法に対するチャネル電流の依存性を示すグラフ図である。

【図 6】実施例 1 の MISFET の製造方法を示す断面図である。

【図 7】実施例 1 の MISFET の製造方法を示す断面図である。

【図 8】実施例 1 の MISFET の製造方法を示す断面図である。

【図 9】実施例 1 の MISFET の製造方法を示す断面図である。

【図 10】実施例 1 の MISFET の製造方法を示す断面図である。

【図 11】実施例 1 の MISFET の製造方法を示す断面図である。

【図 12】本発明の実施例 2 である半導体集積回路装置の要部を示す断面図である。

【図 13】実施例 2 の MISFET の製造方法を示す断面図である。

【図 14】実施例 2 の MISFET の製造方法を示す断面図である。

【図 15】本発明の実施例 3 である半導体集積回路装置の要部を示す断面図である。

【図 16】実施例 3 の MISFET の製造方法を示す断面図である。

【図 17】実施例 3 の MISFET の製造方法を示す断面図である。

【図 1 8】本発明の実施例 4 である半導体集積回路装置の要部を示す断面図である。

【図 1 9】実施例 4 の M I S F E T の製造方法を示す断面図である。

【図 2 0】本発明の実施例 5 である半導体集積回路装置の要部を示す断面図である。

【図 2 1】実施例 5 の M I S F E T の製造方法を示す断面図である。

【図 2 2】実施例 5 の M I S F E T の製造方法を示す断面図である。

【図 2 3】実施例 5 の M I S F E T の製造方法を示す断面図である。

【図 2 4】実施例 5 の M I S F E T の製造方法を示す断面図である。

【図 2 5】実施例 5 の M I S F E T の製造方法を示す断面図である。

【図 2 6】本発明の実施例 6 である半導体集積回路装置の要部を示す断面図である。

【図 2 7】本発明の実施例 7 である半導体集積回路装置の要部を示す断面図である。

【図 2 8】実施例 7 の M I S F E T の製造方法を示す断面図である。

【図 2 9】実施例 7 の M I S F E T の製造方法を示す断面図である。

【図 3 0】実施例 7 の M I S F E T の製造方法を示す断面図である。

【図 3 1】実施例 7 の M I S F E T の製造方法を示す断面図である。

【図 3 2】本発明の実施例 8 である半導体集積回路装置の要部を示す断面図である。

【図 3 3】本発明の実施例 9 である半導体集積回路装置の要部を示す断面図である。

【図 3 4】本発明の実施例 10 である半導体集積回路装置の要部を示す断面図である。

【図 3 5】実施例 10 の SRAM のメモリセルの等価回路図である。

【図 3 6】本発明の実施例 11 であるウエルの製造方法を示す断面図である。

【図 3 7】本発明の実施例 11 であるウエルの製造方法を示す断面図である。

【図 3 8】本発明の実施例 11 であるウエルの製造方法を示す断面図である。

【図 3 9】本発明の実施例 11 であるウエルの製造方法を示す断面図である。

【図 4 0】実施例 11 のウエルの不純物濃度分布を示すグラフ図である。

【図 4 1】本発明の実施例 12 である半導体基板の製造方法を示す断面図である。

【図 4 2】本発明の実施例 12 である半導体基板の製造方法を示す断面図である。

【図 4 3】本発明の実施例 12 である半導体基板の製造方法を示す断面図である。

【図 4 4】実施例 12 の半導体基板の不純物濃度分布を示すグラフ図である。

【図 4 5】本発明の実施例 13 である M I S F E T を用いて製造された L S I の完成状態の一例を示す断面図である。

【図 4 6】従来技術の M I S F E T に形成される寄生抵抗を示す説明図である。

【図 4 7】従来技術の M I S F E T に形成される寄生抵抗を示す説明図である。

【符号の説明】

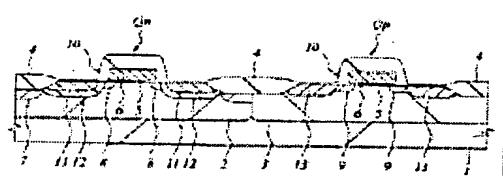
- 1 半導体基板
- 2 p-型ウエル
- 2A p-型ウエル
- 3 n-型ウエル
- 3A n-型ウエル
- 4 フィールド絶縁膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 チャネルストップ層
- 8 n-型半導体領域
- 8A n-型半導体領域
- 9 p-型半導体領域
- 10 サイドウォール・スペーサ
- 10A サイドウォール・スペーサ
- 11 n+型半導体領域
- 12 n型半導体領域
- 13 p+型半導体領域
- 14 キャップ絶縁膜
- 14A キャップ絶縁膜
- 15 フォトレジスト
- 16 フォトレジスト
- 17 p型半導体領域
- 18 n型半導体領域
- 19 p型半導体領域
- 20 n型半導体領域
- 21 フォトレジスト
- 22 フォトレジスト
- 23 p型半導体領域
- 24 フォトレジスト
- 25 隔離抗層
- 25A シリサイド層
- 26 高融点金属膜
- 27 フォトレジスト
- 28 フォトレジスト
- 30 第1ゲート絶縁膜
- 31 フローティングゲート
- 32 第2ゲート絶縁膜
- 33 コントロールゲート

35 銘録層
 40 フォトレジスト
 41 フォトレジスト
 50 p+ 型半導体領域
 51 半導体層
 60 半導体基板
 51 半導体層
 62 局所配線
 63 銘録膜
 64 配線
 64A 配線
 64B 配線
 64C 配線

65 接続孔
 66 層間銘録膜
 67 配線
 67A 配線
 67B 配線
 68 接続孔
 69 層間銘録膜
 70 配線
 70A ボンディングパッド
 71 接続孔
 72 パッセーチョン膜
 73 開孔

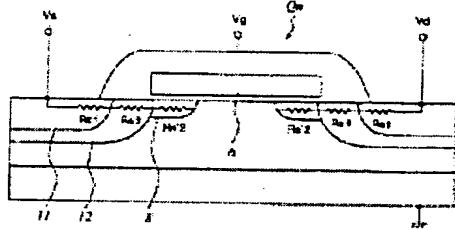
【図 1】

図 1



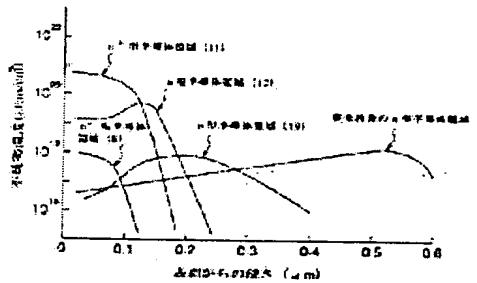
【図 2】

図 2



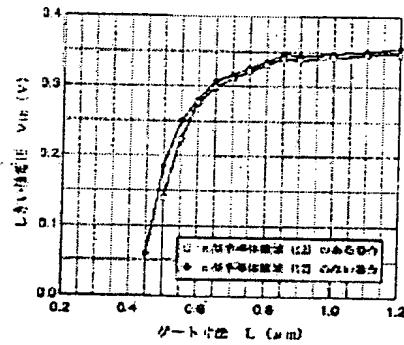
【図 3】

図 3



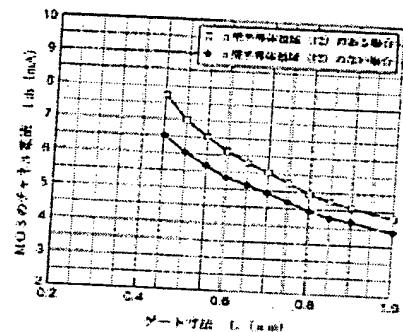
【図 4】

図 4



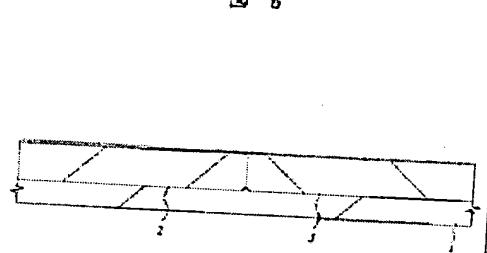
[図 5]

図 5



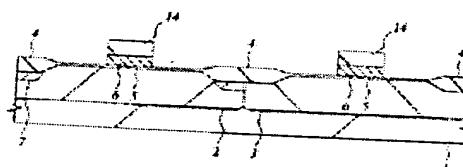
[図 6]

図 6



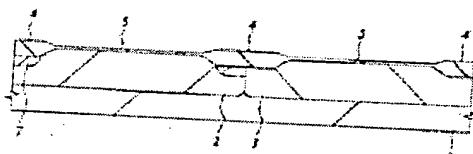
[図 8]

図 8



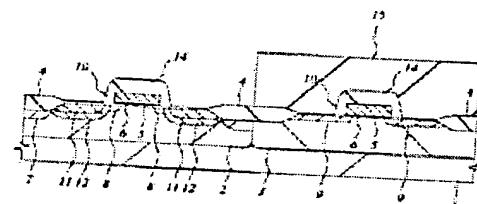
[図 7]

図 7



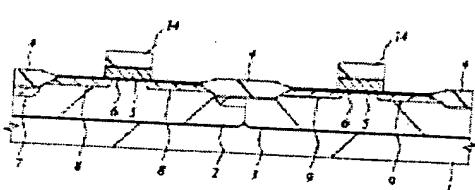
[図 10]

図 10



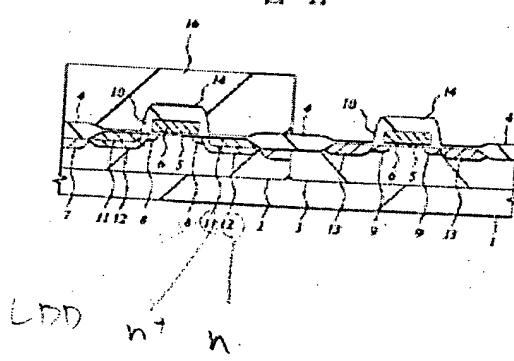
[図 9]

図 9



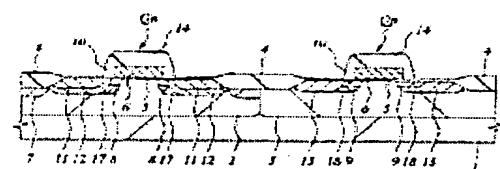
[図 11]

図 11



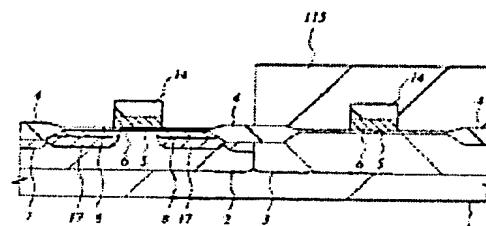
[図 12]

図 12



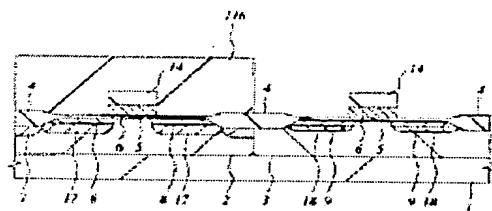
[図 13]

図 13



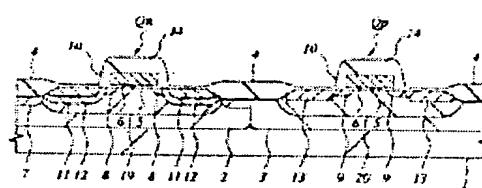
[図 14]

図 14



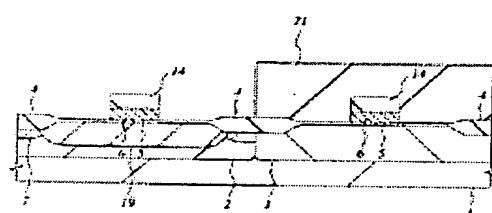
[図 15]

図 15



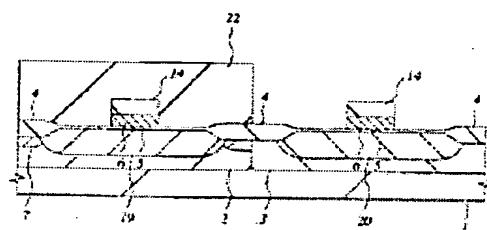
[図 16]

図 16



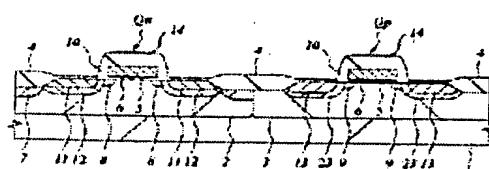
[図 17]

図 17



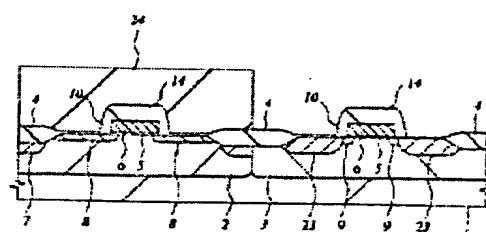
[図 18]

図 18



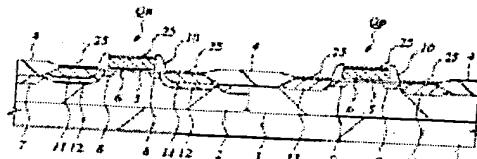
[図 19]

図 19



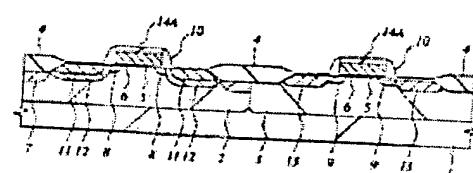
【図20】

図20



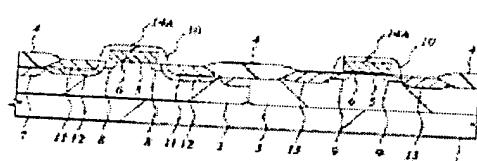
【図21】

図21



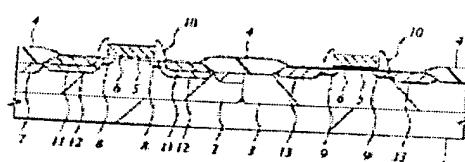
【図22】

図22



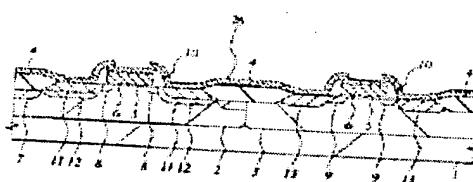
【図23】

図23



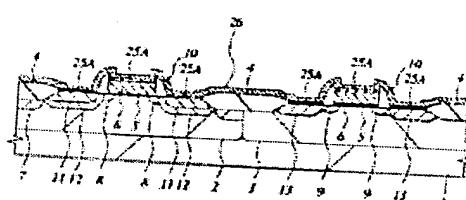
【図24】

図24



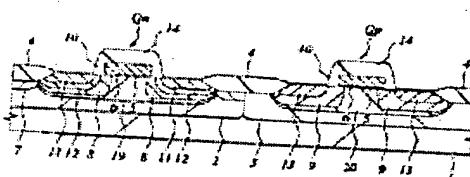
【図25】

図25



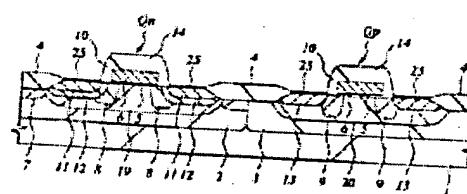
【図26】

図26



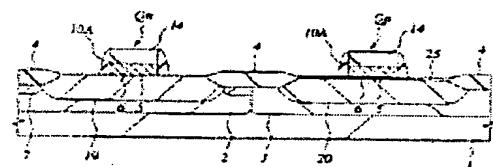
【図27】

図27



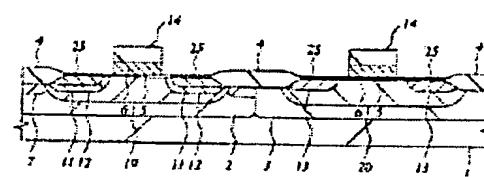
〔図28〕

図 28



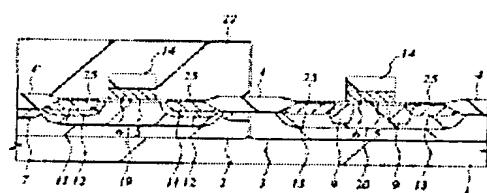
〔図29〕

図 29



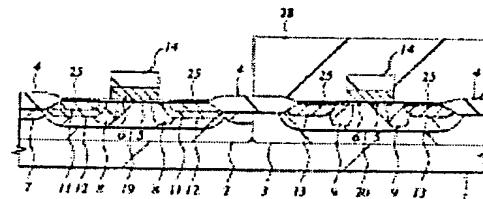
〔図30〕

図 30



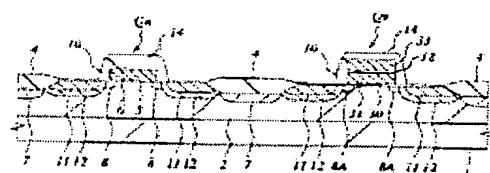
〔図31〕

図 31



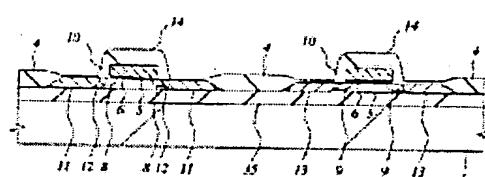
〔図32〕

図 32



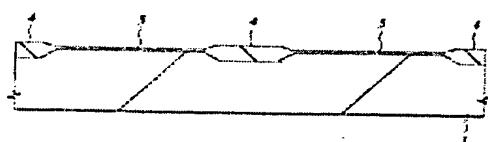
〔図33〕

図 33



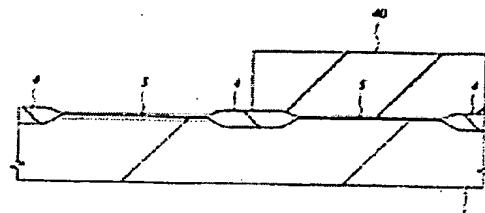
〔図36〕

図 36



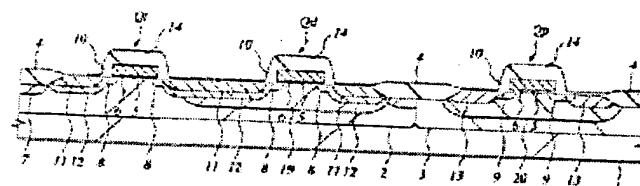
〔図37〕

図 37



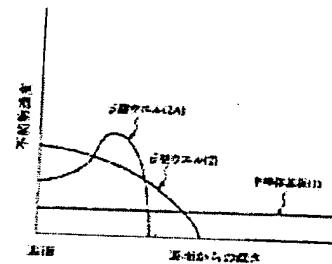
〔図3-4〕

頁 34



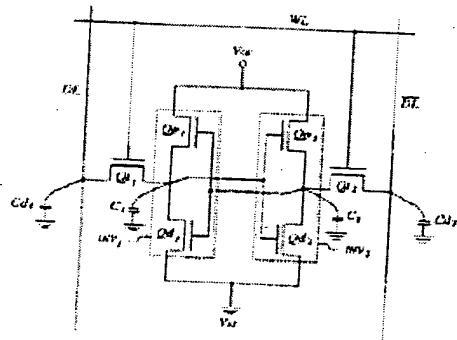
[图 40]

图 40



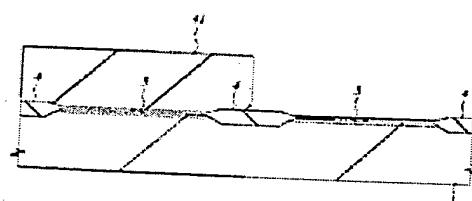
〔35〕

图 35



〔図38〕

A 38

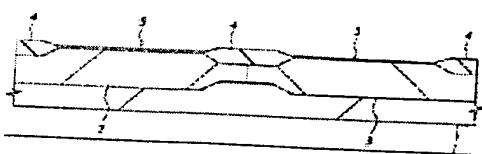


[图 4-1]

41

〔圖 39〕

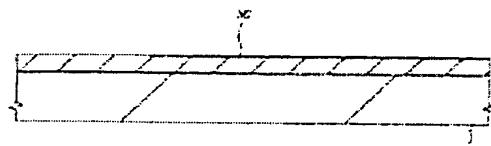
E 39



A horizontal rectangular frame with a thin black border, centered on the page.

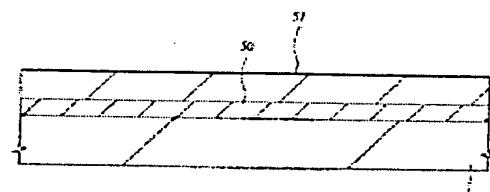
【图 4-2】

图 42



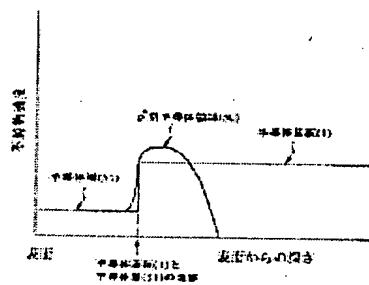
〔図43〕

四 43



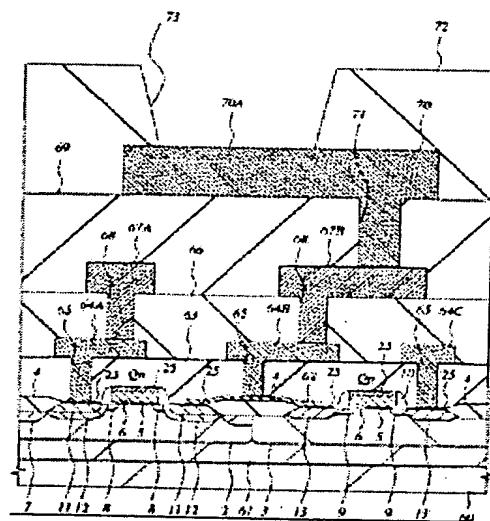
[図 4-4]

44



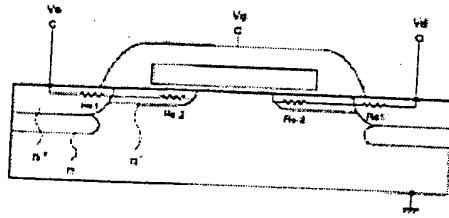
[图 45]

四



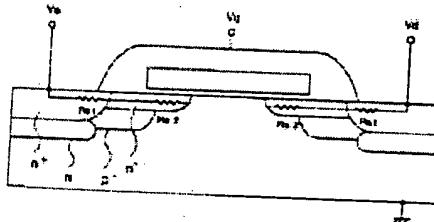
【図46】

図 46



【図47】

図 47



フロントページの続き

(51)Int.CI.6
HO 1 L 27/092
21/8244
27/11
21/8247
29/798
29/792

識別記号 厅内整理番号

F I

技術表示箇所

HO 1 L	27/10	381
	29/78	301 X
		371

(72)発明者 谷口 泰弘

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 岩山 幸祐

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内